

## Diseño del layout de una unidad aritmeticológica utilizando The Electric Design of an arithmetic logic unit layout using the electric

R. J. Calderón Monroy <sup>a,\*</sup>, J. L. González Vidal <sup>a</sup>, J. J. Raygoza Panduro <sup>b</sup>

<sup>a</sup> Área Académica de Computación y Electrónica, Universidad Autónoma del Estado de Hidalgo, 42184, Pachuca, Hidalgo, México.

<sup>b</sup> Departamento de Electro-fotónica, Universidad de Guadalajara, 44430, Guadalajara, Jalisco, México.

### Resumen

En la actualidad la presencia de los circuitos integrados en los dispositivos electrónicos es indiscutible y, aun así, para muchos es desconocido el funcionamiento de estos componentes tan particulares; desde una simple comparación de voltaje hasta ser el cerebro a bordo de un avión responsable del correcto funcionamiento de todos sus instrumentos. El siguiente trabajo presenta los resultados conseguidos en la realización del layout de un circuito integrado para una unidad aritmético lógica (ALU) de 32 bits, así como los pasos a seguir en el diseño de un circuito integrado utilizando las herramientas del software The Electric VLSI como una muestra de la capacidad de este software que permite tanto el diseño de los layout de forma 2D, además de su visualización en tercera dimensión y que, gracias a su herramienta de simulación basada en SPICE es posible realizar todo tipo de análisis a los diseños todo en un mismo software de diseño.

*Palabras Clave:* Circuito Integrado, CMOS, Unidad Aritmético Lógica, ALU, VLSI.

### Abstract

Currently, the presence of integrated circuits in electronic devices is indisputable, yet for many, the operation of these components remains unknown. From a simple voltage comparison to serving as the onboard brain of an aircraft responsible for the proper functioning of all its instruments, integrated circuits play diverse roles. The following work presents the results achieved in creating the layout of a 32-bit ALU integrated circuit, as well as the steps to follow in designing an integrated circuit using The Electric VLSI software tools. This serves as a demonstration of the capabilities of this software, which allows both 2D layout design and visualization in three dimensions. Additionally, thanks to its SPICE-based simulation tool, it is possible to perform various analyses on designs, all within a single design software environment.

*Keywords:* Integrated Circuit, CMOS, Arithmetic Logic Unit, ALU, VLSI.

## 1. Introducción

Realizar operaciones matemáticas complejas o repetitivas es la razón principal por la que el ser humano desarrolló las máquinas que hoy día conocemos como computadoras. (Vázquez, 2018)

Desde cálculos sencillos como sumas y restas hasta llegar a operaciones más complejas como operaciones matriciales y ecuaciones diferenciales, la computación ha ayudado en gran medida a muchas áreas del conocimiento a llegar a soluciones que en el pasado habrían tomado décadas en ser calculadas usando métodos tradicionales. (Carvajal, 2007).

Es indudable el papel que hoy en día juega la computación en nuestras vidas, no muchas personas están conscientes del número de operaciones lógicas y aritméticas que los

dispositivos electrónicos realizan en cuestión de segundos, los usuarios suelen pensar que el único momento en el que un celular o una computadora realiza una operación matemática es cuando se hace uso de la aplicación de calculadora, pero no se podría estar más equivocado.

Cuando una computadora se enciende, la misma realiza miles de operaciones lógicas y aritméticas para llevar a cabo su encendido, y que de esta manera todo esté listo para el usuario. Sin embargo, ¿Cómo es que se llevan a cabo todas estas operaciones? ¿Qué le permite a la computadora realizar todas estas operaciones en cuestión de segundos? Todo esto es posible gracias a un circuito conocido como la ALU.

Una ALU o Arithmetic Logic Unit por sus siglas en inglés es tipo de circuito que se dedica exclusivamente a realizar las operaciones lógicas y aritméticas del procesador (Orduña *et*

\*Autor para la correspondencia: [rjinkichi@live.com.mx](mailto:rjinkichi@live.com.mx)

Correo electrónico: [rjinkichi@live.com.mx](mailto:rjinkichi@live.com.mx) (Rolando Jinkichi Calderón Monroy), [jlvidal@uaeh.edu.mx](mailto:jlvidal@uaeh.edu.mx) (José Luis González Vidal), [juan.rpanduro@academicos.udg.mx](mailto:juan.rpanduro@academicos.udg.mx) (Juan José Raygoza Panduro).

al., 1996), un circuito muy importante dentro de la arquitectura de computadoras, en él se llevan a cabo todas las operaciones aritméticas como suma, resta, multiplicación, etc. y también las operaciones lógicas como lo son la AND, NAND, OR, NOR, XOR, etc.

Desde los teléfonos inteligentes hasta vehículos y aviones la ALU está presente en cualquier dispositivo o máquina que posea un microcontrolador o microprocesador a bordo.

Un circuito integrado también conocido como IC es un tipo de circuito compuesto por varios componentes que se acomodan en un espacio de apenas unos cuantos milímetros cuadrados de superficie (Fitchen, 1975) y son fabricados generalmente en silicio. Circuitos como la ALU son especialmente diseñados y fabricados utilizando la tecnología de los circuitos integrados, esta garantiza que un circuito tan complejo como este pueda ocupar apenas una diez milésima parte del espacio que lo haría en una placa de circuito impreso, no obstante, el diseñar circuitos para su fabricación en chips de silicio requiere una metodología muy diferente de la habitual. Debido a las tensiones mundiales las grandes empresas de fabricación de circuitos integrados buscan migrar sus fábricas a otros países para continuar con sus operaciones. México es uno de los pocos países que pueden ser elegidos para ser el nuevo hogar de las fábricas de circuitos integrados (Barría, 2023), así que es fundamental comenzar lo más pronto posible con el aprendizaje del desarrollo de circuitos integrados. El siguiente trabajo muestra el proceso de diseño del layout de una ALU de 32bits que se trabajó para demostrar las etapas del proceso de diseño de circuitos integrados.

## 2. El transistor MOSFET

Uno de los componentes que más caracterizan a los circuitos integrados y a la electrónica digital en general, es el MOSFET un transistor de efecto de campo que se distingue del resto por su alta velocidad de conmutación, así como la capacidad de mantener un bajo consumo (Carr y Mize, 1979). Al ser un dispositivo dependiente de voltaje su consumo de corriente eléctrica es muy bajo lo que permite tener miles de transistores y no requerir de fuentes de corriente muy altas. En la Figura 1 se presenta el circuito equivalente de un MOSFET de canal N.

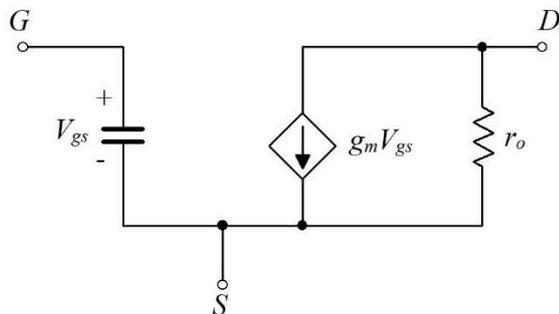


Figura 1: Circuito equivalente del MOSFET de canal N.

En donde G es conocida como el Gate o compuerta, D es nombrada Drain o drenador, S es source o fuente.  $V_{gs}$  es la diferencia de potencial que existe entre gate y source,  $g_m$  es conocida como la transconductancia y es el recíproco de la resistencia y  $r_o$  es la resistencia de Drain a Source.

De acuerdo con (Baker, 2010) La corriente de  $I_d$  en la región de saturación puede calcularse con.

$$I_d = \frac{KP_n * W}{2L} (V_{gs} - V_{thn})^2 \quad (1)$$

Donde:

$KP_n$  ganancia

$W$  ancho del canal

$L$  longitud del canal

$V_{gs}$  voltaje de compuerta

$V_{thn}$  voltaje de umbral

### 2.1. Estructura del MOSFET

Los MOSFET están contruidos en una superficie con un acabado espejo en un sustrato de silicio, que conforma la base para cualquier circuito integrado moderno. Similar a como los edificios son contruidos los MOSFET se fabrican de abajo hacia arriba mediante procesos químicos y de implantación de electrones en el material semiconductor, estos procesos se llevan a cabo dependiendo la etapa de fabricación para cada capa que conforma el MOSFET (Baker, 2010). La Figura 2a muestra un corte seccional donde pueden apreciarse las capas que forman un MOSFET, mientras que la Figura 2b muestra un modelo tridimensional del mismo.

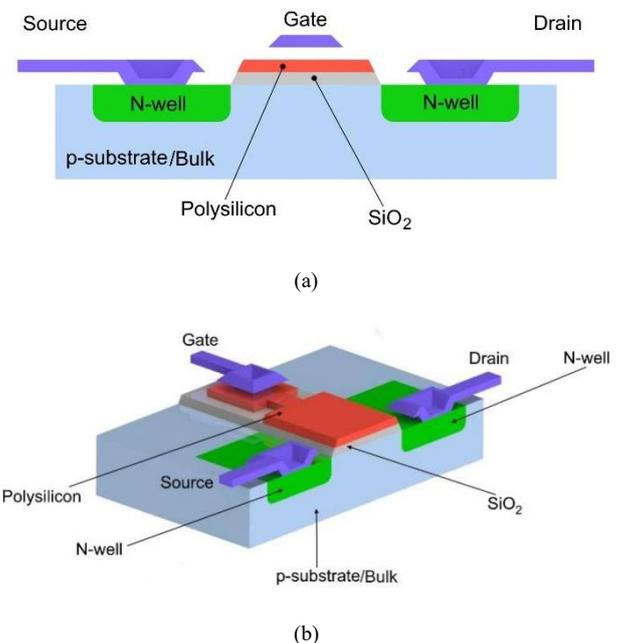


Figura 2: Vistas de corte seccional de un MOSFET.

Los MOSFET a medida son llamados dispositivos de tecnología planar debido a la forma en la que son contruidos sobre una superficie plana como lo es el sustrato de Silicio (Yang et al., 2023).

### 2.2. El Layout

Un layout en el diseño de circuitos integrados es una representación usando formas geométricas y colores que

definen las capas y regiones de los componentes que conformaran el circuito en la oblea de silicio (Clein, D, 1999), en la Figura 3 se puede observar un ejemplo de layout simple para un transistor del tipo N. Cada color que se observan en el layout hace referencia a una capa diferente y por lo tanto a un proceso en la etapa de fabricación, teniendo hasta más de 100 etapas en la fabricación de circuitos integrados más complejos (Chen, W.-K, 2018).

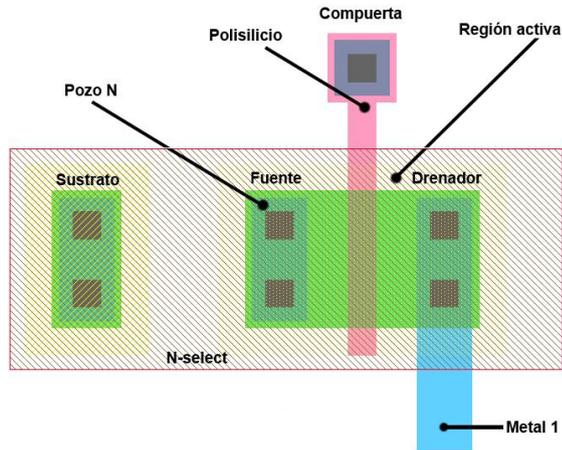


Figura 3: Layout de un transistor MOSFET de tipo N.

Aunque la realización de un layout pueda parecer relativamente sencilla la realidad es que deben de tenerse en cuenta una serie de cálculos matemáticos y reglas de diseño para la generación de un layout funcional que pueda ser llevado a fabricación con una empresa de manufactura de circuitos integrados también conocidas como foundry.

### 3. Generación del layout de los Transistores.

#### 3.1. Cálculo del ancho del canal y curvas características

Parte del diseño del layout es el cálculo del ancho del canal de los MOSFET, este parámetro es el que determina las características eléctricas de los transistores y está determinado por las dimensiones de L y W (Largo y Ancho). Para el MOSFET de tipo N con valores para  $L=0.6\mu\text{m}$ ,  $W=3\mu\text{m}$ ,  $KP_n=48.64\mu\text{A}/\text{V}^2$ ,  $V_{gs}=5\text{V}$  y  $V_{thn}=1.5754\text{V}$  fue calculada la corriente en saturación haciendo uso de la ecuación (1), obteniendo un valor de  $1.429\text{mA}$ . Empleando el software The Electric VLSI Design System versión 9.07 de Static free software se comprueban los datos tal y como se muestra en la Figura 4.

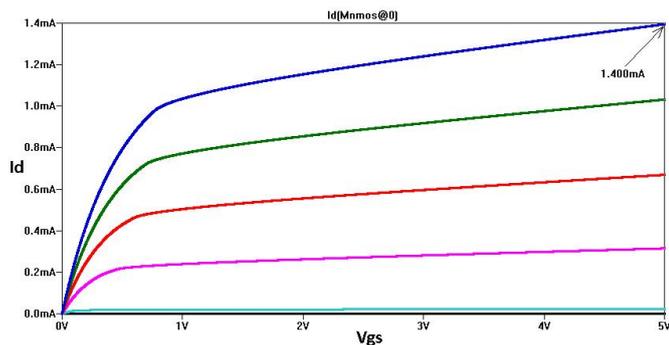


Figura 4: Curvas características para el transistor MOSFET tipo N con  $L=0.6\mu\text{m}$  y  $W=3\mu\text{m}$ . Corriente máxima en saturación  $1.400\text{mA}$ .

Para el desarrollo del layout de una ALU de 32bits es necesario tener el complemento del MOSFET de tipo N, este es el del tipo P y el cálculo de su corriente en saturación es muy similar al del tipo N. Para hallar el complemento sabemos que ambos transistores compartirán valores similares de corriente es decir  $I_d=1.400\text{mA}$ , con un simple despeje de W en la ecuación (1) y los valores de  $KP_p=12.64\mu\text{A}/\text{V}^2$ ,  $L=0.6\mu\text{m}$ ,  $V_{gs}=-5\text{V}$  y  $V_{thp}=0.0304\text{V}$ . El ancho del canal del MOSFET tipo P es fácilmente calculado obteniendo un valor de  $5.25\mu\text{m}$  de nuevo esto puede comprobarse en el software The Electric VLSI tal y como se muestra en la Figura 5.

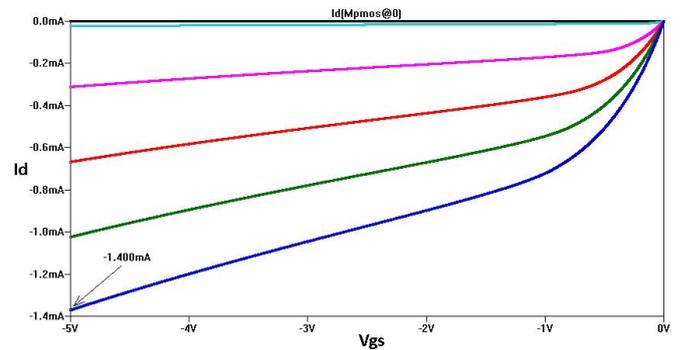
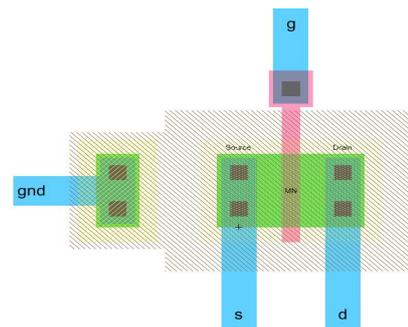


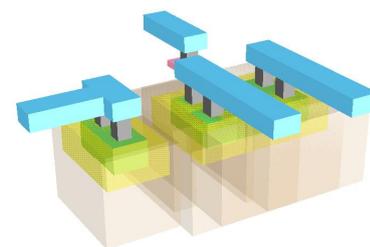
Figura 5: Curvas características para el transistor MOSFET tipo P con  $L=0.6\mu\text{m}$  y  $W=5.25\mu\text{m}$ . corriente máxima en saturación  $-1.400\text{mA}$ .

#### 3.2. Layout de los transistores

Las dimensiones de L y W para cada transistor son dibujadas en la herramienta de diseño, pues estos constituyen la base de todas las compuertas lógicas de los diferentes circuitos que conformaran la ALU. Observando la Figura 6a y b pueden observarse la forma en layout del transistor, así como su modelo en 3D utilizando las dimensiones calculadas.



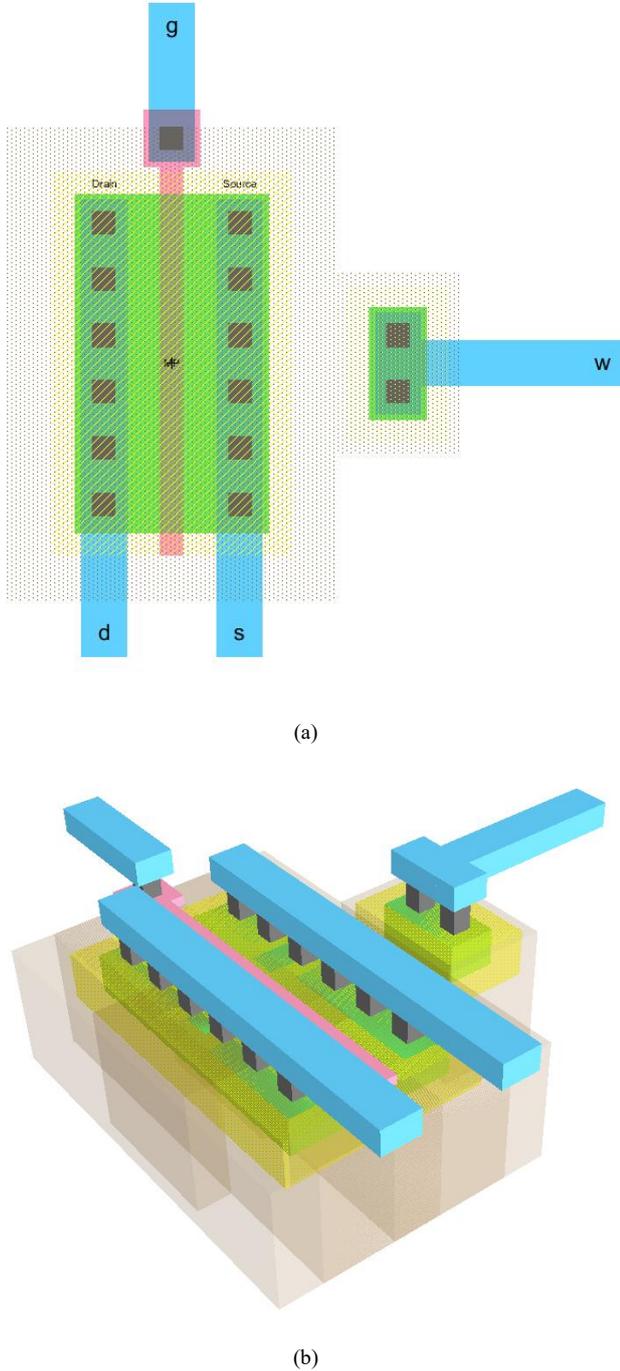
(a)



(b)

Figura 6: Vista del layout del transistor tipo N calculado (a). Vista 3D del transistor N calculado (b).

De manera similar se crea el layout para el MOSFET tipo P en el mismo software. Los resultados son observables en la Figura 7 a y b.



MOSFET es el de generar una compuerta lógica NOT para observar su comportamiento en DC así como comprobar otros factores que pueden afectar a los MOSFET como las capacitancias y resistencias parásitas.

El punto de inversión es una región donde el voltaje pasa del punto máximo al punto mínimo en una compuerta lógica, es decir el punto medio en el intervalo de cambio de un uno lógico a un cero lógico. Este punto puede ser calculado conforme a (Baker, 2010) con la siguiente Ecuación.

$$\frac{\beta_n}{2} (V_{SP} - V_{thn})^2 = \frac{\beta_p}{2} (V_{DD} - V_{SP} - V_{thp})^2 \quad (2)$$

Despejando a  $V_{SP}$

$$V_{SP} = \frac{\sqrt{\frac{\beta_n}{\beta_p}(V_{thn}) + (V_{DD} - V_{thp})}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \quad (3)$$

Donde:

- $V_{SP}$  voltaje de cambio
- $\beta_n$  ganancia (transistor tipo N)
- $\beta_p$  ganancia (transistor tipo P)
- $V_{thn}$  voltaje de umbral (transistor tipo N)
- $V_{thp}$  voltaje de umbral (transistor tipo P)
- $V_{DD}$  voltaje de alimentación

Utilizando los valores de  $\beta_n=48.64\mu A/V^2$ ,  $\beta_p=12.64\mu A/V^2$ ,  $V_{thn}=1.5754V$ ,  $V_{thp}=0.0304V$   $V_{DD}=5V$ , El voltaje de cambio puede ser calculado en 2.72V.

La compuerta lógica NOT o mejor conocida como inversor en la tecnología CMOS es la más básica de todas las compuertas; ya que está constituida por la unión entre un transistor MOSFET de tipo P y uno de tipo N tal y como se observa en la Figura 8. Al ser uno de los circuitos más básicos permite un fácil análisis en DC para observar el punto de inversión que servirá como referencia para la creación de las otras compuertas lógicas.

Figura 7: Vista del layout para el transistor MOSFET tipo P con las dimensiones calculadas (a). Vista 3D del layout del transistor (b).

#### 4. Creación de una compuerta lógica y sus características en DC.

Los layout de los transistores pueden combinarse para la creación de circuitos digitales. Una de las pruebas más comunes en el diseño de circuitos integrados con los

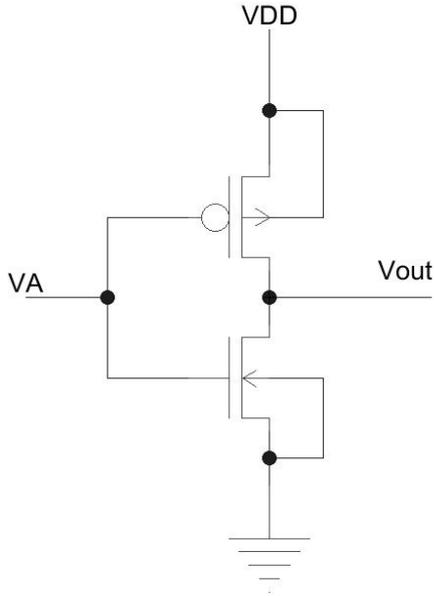
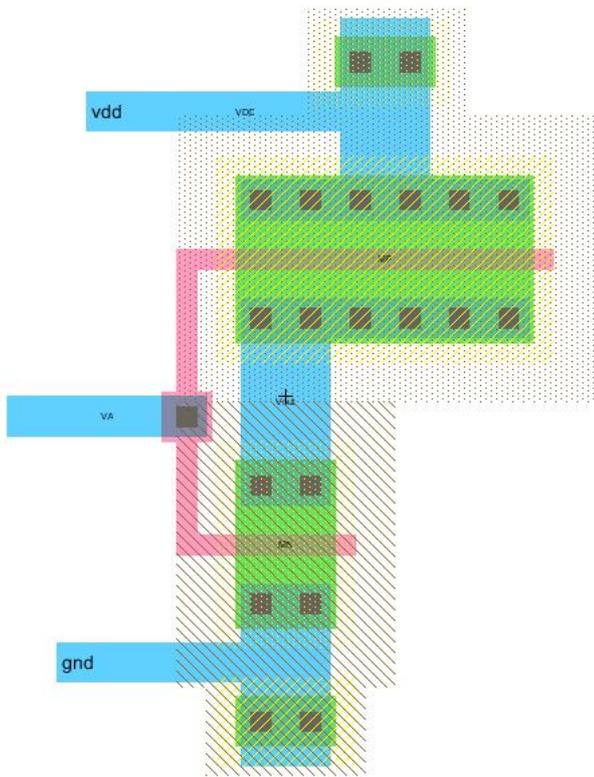
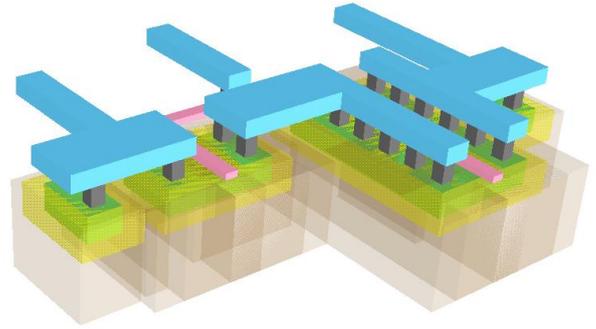


Figura 8: Diagrama esquemático de un inversor CMOS.

Si se sigue el diagrama observado en la Figura 8 como un plano para el trazo del layout del inversor, este es realizado de manera muy sencilla ya que se poseen los layout individuales de los transistores generando uno nuevo como el que se observa en la Figura 9a y su respectivo modelo 3D en la Figura 9b.



(a)



(b)

Figura 9: Layout del inversor CMOS utilizando los transistores calculados.

Utilizando la herramienta de simulación de The Electric VLSI basada en SPICE, podemos realizar el análisis de un barrido en DC para observar la curva de inversión del layout. Los resultados del análisis pueden observarse en la Figura 10. Al utilizar simulación basada en SPICE es posible realizar no solo un barrido en DC sino también un análisis transitorio el cual nos permite observar la operación lógica NOT que realiza el layout, el resultado del análisis transitorio puede observarse en la Figura 11.

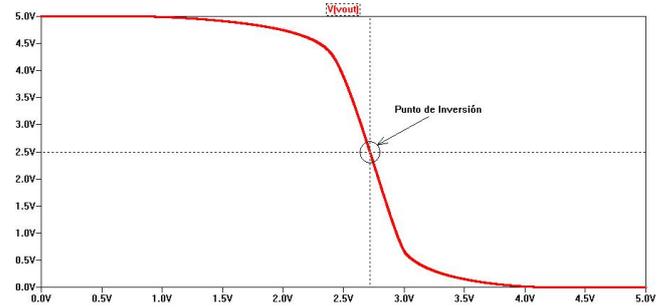


Figura 10: Análisis barrido en DC, layout inversor CMOS.

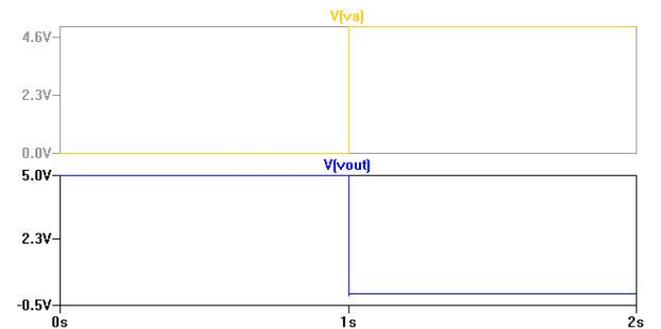


Figura 11: Análisis transitorio del layout inversor CMOS.

## 5. Layout de un multiplexor

Dentro del mundo de los circuitos electrónicos se puede encontrar al circuito multiplexor, compuesto por compuertas lógicas, este circuito es utilizado para funcionar como selector de señales ya que dependiendo la combinación de valores en sus entradas selectoras permitirá el paso de una

señal a la salida (Bansal *et al.*, 2021). En la Figura 12 se muestra el ejemplo de un multiplexor simple.

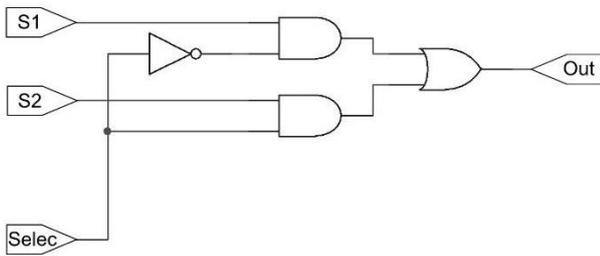
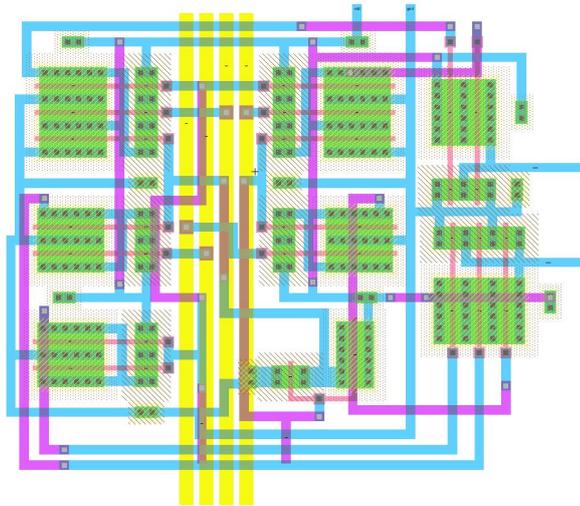
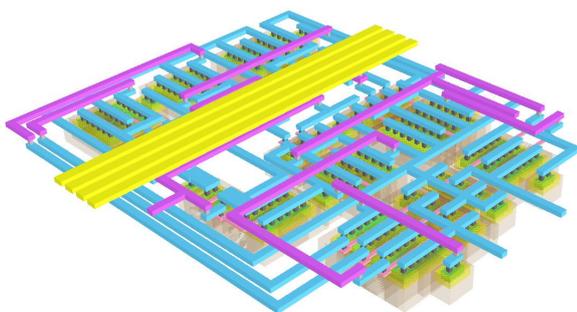


Figura 12: Diagrama esquemático de un multiplexor 2:1.

El uso de un multiplexor en la ALU es esencial pues este permitirá controlar la manera en la que se dejan pasar los bits a operar por la ALU en la siguiente etapa del circuito que se encarga de las operaciones aritméticas y lógicas. A diferencia de un multiplexor normal el multiplexor requerido para el circuito debe de poder no solo alternar entre las señales de entrada sino también poder mandar la señal a una de dos salidas, dicho de otra manera, el multiplexor debe tener 4 señales de entrada, 2 selectores y 2 salidas. El layout del multiplexor puede ser observado en la Figura 13a y en la Figura 13b el modelo 3D.



(a)



(b)

Figura 13: Layout del multiplexor (a) y su modelo 3D (b).

Haciendo uso de la herramienta de simulación de The Electric VLSI se realiza un análisis transitorio para observar el comportamiento del layout del multiplexor. El resultado del análisis puede ser observado en la Figura 14.

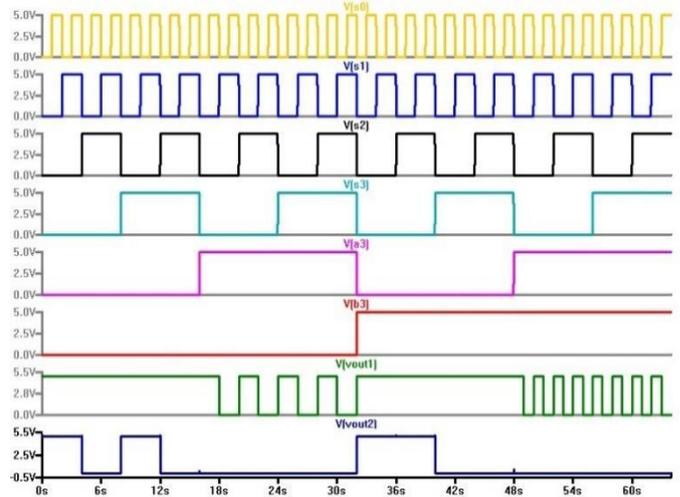


Figura 14: Análisis transitorio del multiplexor diseñado para la ALU.

En la gráfica de la Figura 14. Se puede observar que s0, s1, s2, s3 corresponden a las entradas selectoras de la ALU. Las señales a3 y b3 corresponden a un bit de dos números diferentes, cada multiplexor es capaz de manejar un solo bit de cada número a la vez lo que quiere decir que entre más grande sean los números por operar más bits tendrán y por lo tanto más multiplexores se necesitarán en la ALU. para el layout de la ALU de 32 bits en específico se necesitaron 32 multiplexores de este tipo.

## 6. Layout ALU de 4 bits

### 6.1. Sumador Carry-Lookahead

Los circuitos sumadores son otra clase de circuito digital, su función como el nombre sugiere es el sumar dos números binarios. Existen circuitos semisumadores, sumadores completos y el sumador Carry-Lookahead. La metodología más clásica para sumar números binarios es utilizar varios circuitos sumadores completos tal y como se observa en la Figura 15. Un Carry-Lookahead permite realizar operaciones de suma entre números binarios de forma más rápida y eficiente pues mediante la simplificación de las ecuaciones de los circuitos sumadores completos puede obtenerse una ecuación para obtener el resultado de cualquier suma en un solo movimiento ahorrando tiempo y lo que a nivel de diseño del layout se traduce en menos compuertas a utilizar.

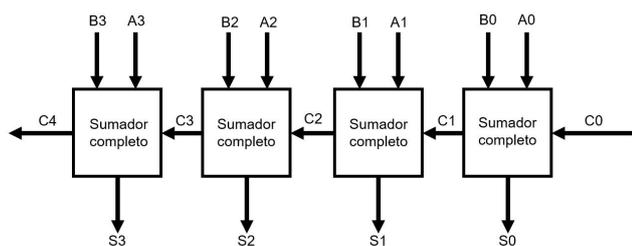
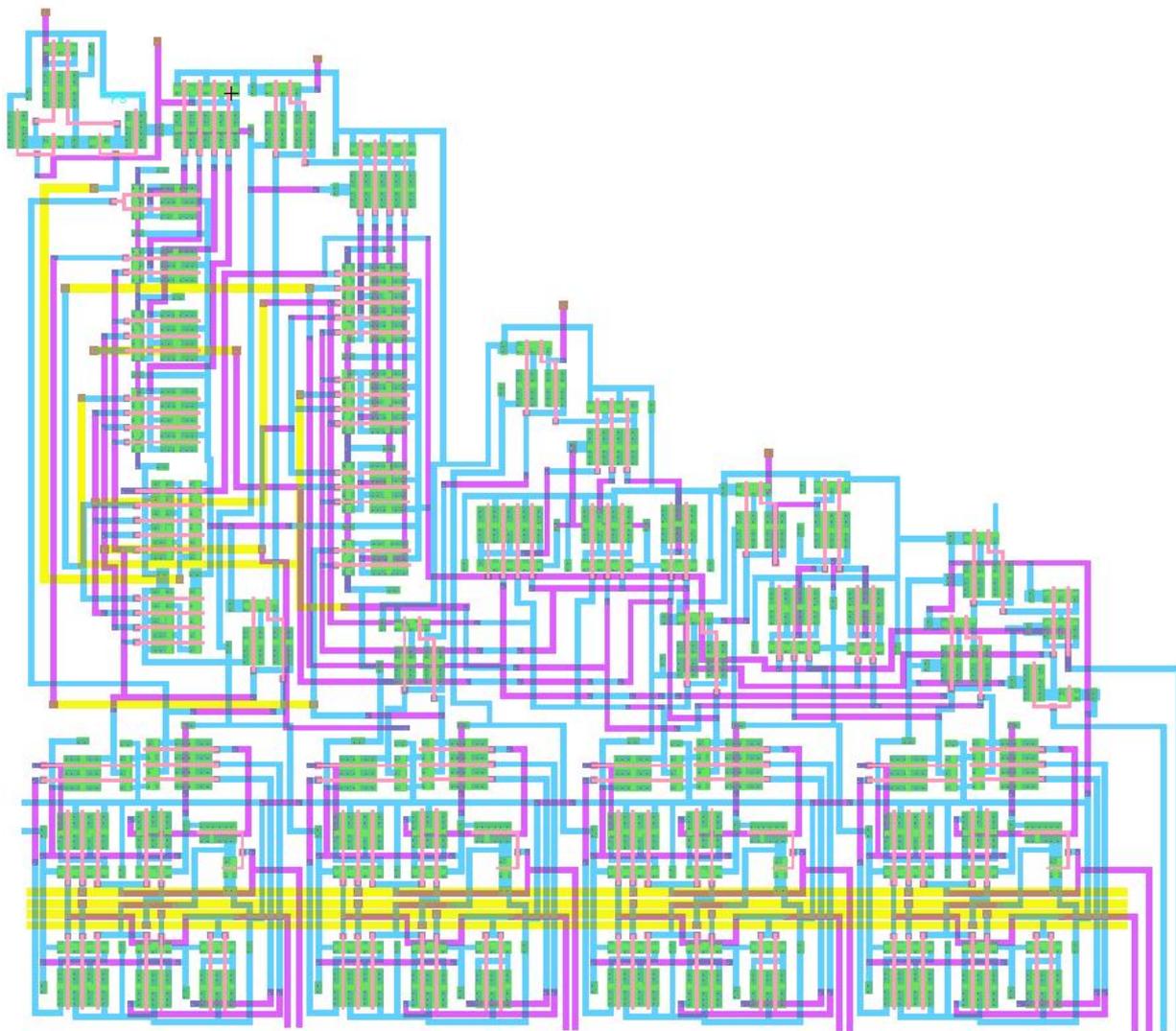


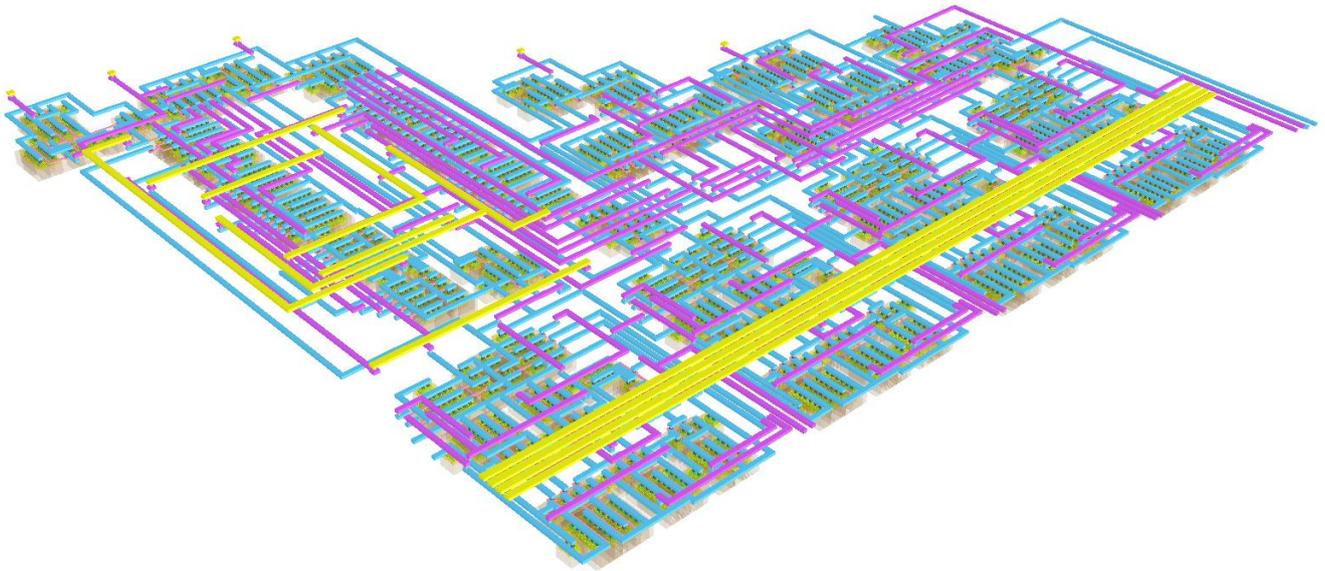
Figura 15: Diagrama a bloques de un circuito sumador compuesto por sumadores completos para realizar sumas de dos números binarios.

Utilizar un Carry-lookahead diseñado para 32 bits como el que se necesita para la ALU de 32 bits sería complejo, ya que con cada nivel que sube el circuito la ecuación de salida se

vuelve más compleja lo que puede derivar en fallos al conectar todas las compuertas requeridas para obtener el resultado de las operaciones. La solución es crear un diseño modular que permita descomponer el circuito de un sumador Carry-lookahead de 32bits en circuitos más sencillos. Creando sumadores de 4 bits es posible simplificar el diseño. Esto quiere decir que el diseño de una ALU de 32 bits será descompuesto en ALU's de 4 bits que son más fáciles de diseñar. El diseño del layout de la ALU de 4 bits puede ser observado en la Figura 16a y en la Figura 16b su respectivo modelo 3D.



(a)



(b)

Figura 16: Layout ALU de 4 bits utilizando los transistores, multiplexores y el sumador carry-lookahead.

Finalmente se realizan las pruebas de la ALU de 4 bits para comprobar su funcionamiento, estas pruebas se realizan nuevamente con la herramienta de simulación de The Electric VLSI. De acuerdo con la codificación de la tabla 1 se configuran las fuentes de voltaje para las operaciones y los bits a operar se pueden observar en la Figura 17. Los resultados de las operaciones de la ALU pueden ser

Modos de selección				Salida
S <sub>3</sub>	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	Operación
0	0	0	0	A
0	0	0	1	A + B
0	0	1	0	A + $\overline{B}$
0	0	1	1	Menos 1
0	1	0	0	A más $\overline{A\overline{B}}$
0	1	0	1	(A + B) más $\overline{A\overline{B}}$
0	1	1	0	A menos B menos 1
0	1	1	1	AB menos 1
1	0	0	0	A más AB
1	0	0	1	A más B
1	0	1	0	(A + $\overline{B}$ ) más AB
1	0	1	1	AB menos 1
1	1	0	0	A mas A*
1	1	0	1	(A + B) más A
1	1	1	0	(A + $\overline{B}$ ) más A
1	1	1	1	A menos 1

observadas en la Figura 18.

Tabla 1: codificación ALU 4 bits.

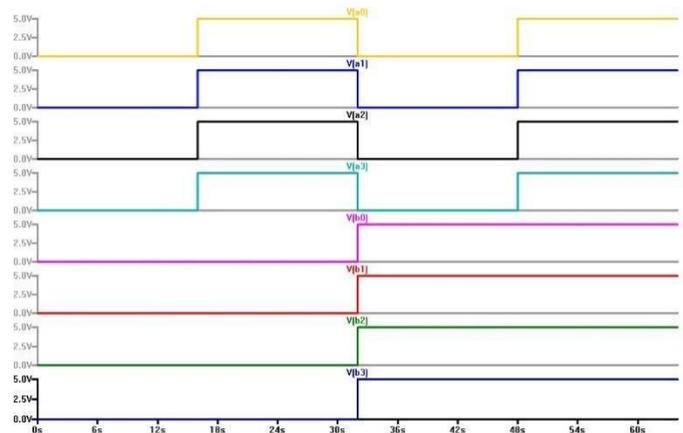


Figura 17: Números binarios a operar por la ALU de 4 bits (a0-a3 y b0 a b3).

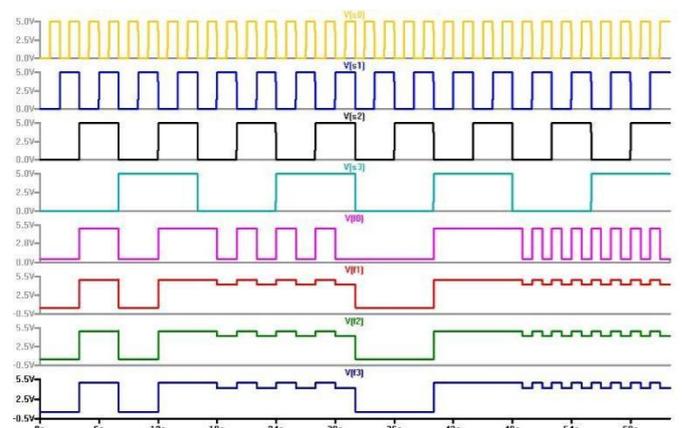


Figura 18: Resultados del análisis transitorio realizado a la ALU de 4 bits.

### 7. Layout ALU 32 bits

Como se ha observado a lo largo de este trabajo el desarrollo de los layout individuales de los componentes electrónicos como las compuertas lógicas permite ir escalando el diseño a sistemas digitales más complejos.

El diseño del layout de la ALU de 32 bits es desarrollado de manera similar a la forma en la que se diseñó el Carry-lookahead, el diagrama de la Figura 19 muestra la cantidad de ALU's necesarias para realizar el layout.

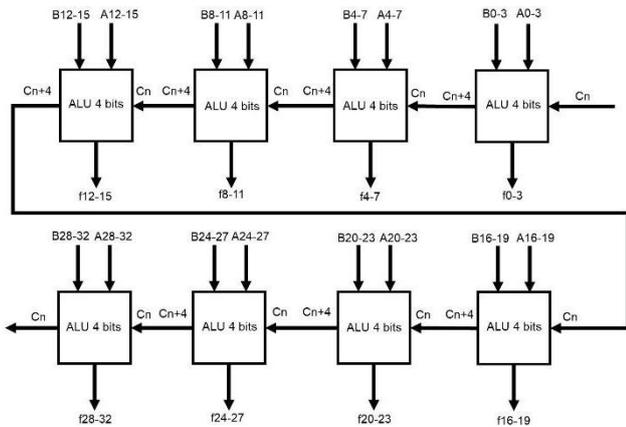
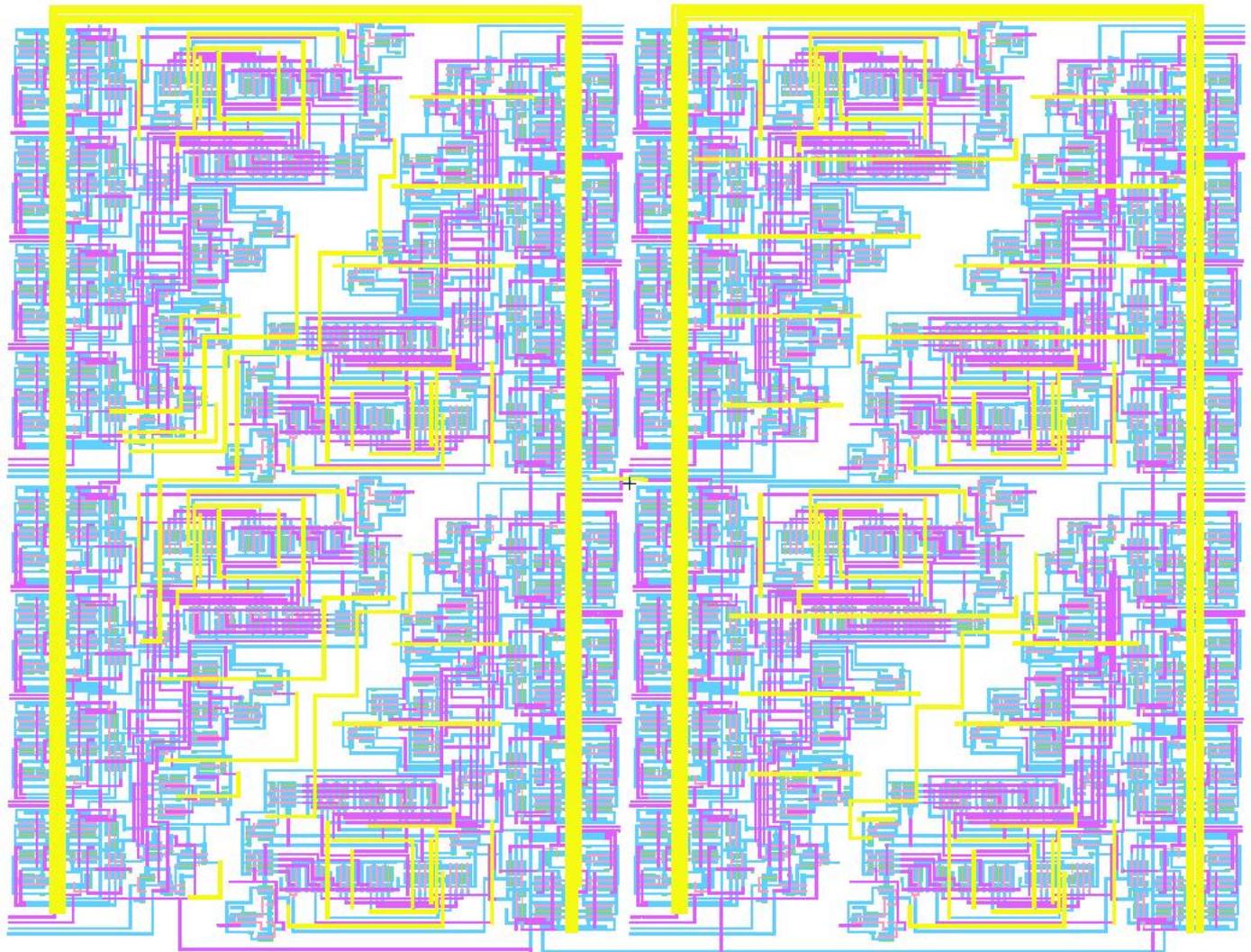


Figura 19: Diagrama a bloques de la ALU de 32 bits utilizando 8 ALU's de 4 bits.

Si se sigue el diagrama a bloques de la Figura 19. Las conexiones entre las ALU de 4 bits resultan sencillas ya que solo debe conectarse la entrada del acarreo de la ALU anterior con la siguiente. El layout final para la ALU de 32 bits puede ser observado en la Figura 20.



### 7.1. Layout PAD C5 paso final para fabricación en Foundry

El PAD o PAD frame es el espacio de trabajo que está delimitado por la interfaz de conexión entre el dado de silicio y las conexiones con el mundo exterior. Este contiene todos los buses de conexión del circuito ya sean entradas, salidas o entrada-salida así como las protecciones de descarga antiestática (ESD), en la Figura 21 se muestra un ejemplo de PAD para el layout de circuitos integrados.

Este PAD es proporcionado por la foundry y vienen prediseñados para tecnologías análogas o digitales y también disponen de un número determinado de buses de conexión, sin embargo, el diseñador también puede realizar su propio diseño de PAD totalmente personalizado siempre y cuando este cumpla con las reglas de diseño del fabricante seleccionado.

Para el layout de la ALU de 32 bits se seleccionó el PAD digital de 3mm x 3mm de MOSIS AMI SUBM C5 el cual posee 98 pines de entrada salida, 1 pin de conexión a voltaje VDD y 1 pin de conexión a GND. Teniendo en cuenta que la ALU maneja 2 números de 32 bits en sus entradas, un número de salida de 32 bits, una entrada de acarreo, una salida de acarreo y pines de alimentación el PAD de 3mm x 3mm tiene las características exactas para albergar el layout de la ALU de 32 bits. El layout final de la ALU de 32 bits en el PAD puede ser apreciado en las Figuras 22-24.

Figura 20: Layout Final de la ALU de 32 bits utilizando las 8 ALU's de 4 bits.

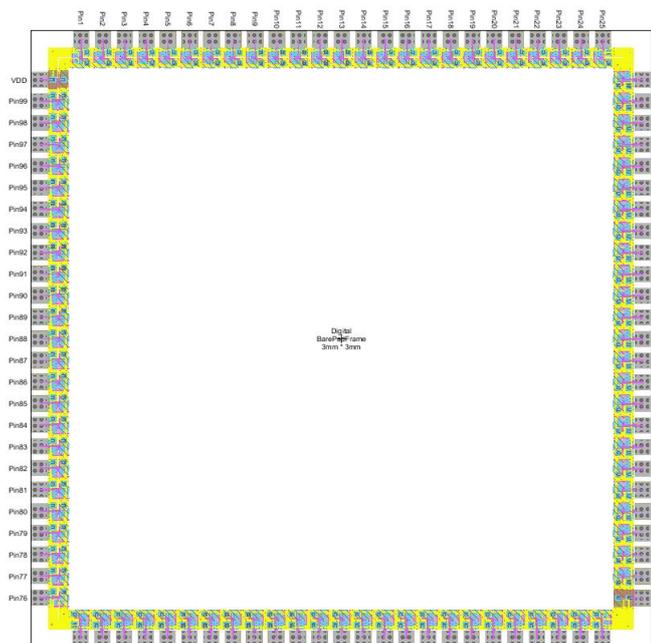


Figura 24: Acercamiento de la vista 3D del layout de la ALU de 32 bits.

Figura 21: PAD digital de 3mm x 3mm de MOSIS AMI SUBM C5.

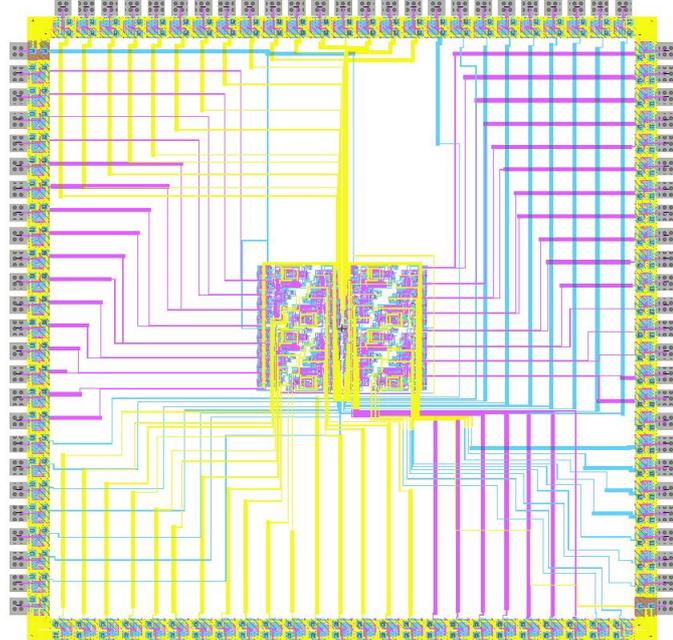


Figura 22: ALU de 32 bits colocada en el PAD de MOSIS AMI SUBM C5 layout final.

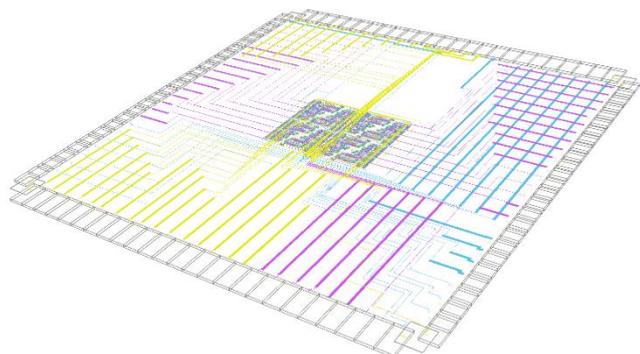


Figura 23: Vista 3D del layout final de la ALU de 32 bits.

## 8. Conclusiones

A lo largo de este trabajo se pudo observar como el diseño de circuitos integrados parte de un layout tan sencillo como el de los transistores y como fue escalando el mismo hasta convertirse en el layout de una ALU de 32 bits que puede realizar diferentes operaciones aritméticas y lógicas. Aunque existen diferencias claras entre el diseño de los circuitos integrados y el diseño de una placa de circuito impreso, como queda demostrado en este trabajo es necesario el aprendizaje de este tipo de diseños pues los circuitos integrados se encuentran en todas partes desde los más simples amplificadores hasta procesadores para computadoras. México siendo un principal candidato para la recepción de empresas de fabricación de circuitos integrados debe prestar atención ahora más que nunca a esta metodología y comenzar con la capacitación de ingenieros capaces de interpretar y diseñar estos layout, pues de ser elegido para albergar una foundry esta sería una oportunidad única de unirse a los países en los cuales el futuro se está desarrollando. Pues en donde quiera que se requiera un chip ahí estará presente el diseño de circuitos integrados.

## Agradecimientos

Agradecemos al Laboratorio de microelectrónica de la Universidad Autónoma del Estado de Hidalgo por proporcionar las herramientas para el renderizado de los modelos 3D.

Al Dr. Juan José Raygoza Panduro y al departamento de electro-fotónica de la Universidad de Guadalajara por su apoyo en el diseño del circuito de la ALU.

## Referencias

- Baker, R. Jacob, (2010). CMOS Circuit Design, Layout and Simulation. WILEY, New Jersey
- Bansal, M., Singh, H., & Sharma, G. (2021). A taxonomical review of multiplexer designs for electronic circuits & devices. *Journal of Electronics and Informatics*, 3(2), 77–88. <https://doi.org/10.36548/jei.2021.2.001>
- Barria, C. (2023, septiembre 19). Nearshoring. BBC. <https://www.bbc.com/mundo/articulos/cx9rv9n9w1ro>

- Carr, Willian N. & Mize, Jack, P., (1979). *MOS/ LSI diseño y aplicación*. Marcombo Boixareu editores, España.
- Carvajal, L. A. T. (2007). Matemáticas, ingeniería y computadora. *Revista Educación en Ingeniería*, 2(3), 55–65. Doi: <https://doi.org/10.26507/rei.v2n3.47>
- Chen, W.-K. (2018). *The VLSI handbook*. CRC Press, Boca Raton.
- Clein, D. (1999). *CMOS IC Layout: Concepts, Methodologies, and Tools*. Elsevier Science, United Kingdom.
- Fitchen, F. C. (1975). *Circuitos integrados y Sistemas*. Reverte, España.
- Goswami, M., Kumar, B., Tibrewal, H., & Mazumdar, S. (2014). Efficient realization of digital logic circuit using QCA multiplexer. *International Conference on Business and Information Management*, Vol. 2, pp.165-170.
- Orduña Huertas, J. M., & Llombart, V. A. (1996). *Arquitectura y programación de microcontroladores*. Universitat de València, España.
- Vázquez, F. R. (2018). La triste historia de las computadoras. *Pistas Educativas*, 33(102). <https://pistaseducativas.celaya.tecnm.mx/index.php/pistas/article/view/1245/1056>
- Yang, J., Jahdi, S., Yu, R. & B. Stark, "Electrothermal Power Cycling to Failure of Discrete Planar, Symmetrical Double-Trench and Asymmetrical Trench SiC MOSFETs," in *IEEE Open Journal of Power Electronics*, vol. 4, pp. 887-899, 2023, DOI: 10.1109/OJPEL.2023.3326909.