

Desarrollo de tarjeta con CPLD con aplicación en Sistemas Digitales Development of a CPLD board with application in Digital Systems

M. E. Gómez-Mayorga ^{a,*}, L. N. Oliva-Moreno ^b

^a Escuela Superior de Cómputo, Instituto Politécnico Nacional, 07320, Gustavo A. Madero, Ciudad de México, México,

^b Unidad Profesional Interdisciplinaria de Ingeniería Campus Hidalgo, Instituto Politécnico Nacional, 42162, San Agustín Tlaxiaca, Hidalgo, México.

Resumen

Este trabajo presenta una tarjeta diseñada para abordar los conocimientos básicos en cursos introductorios de circuitos lógicos en ingeniería computacional o informática. Las tarjetas existentes suelen tener recursos subutilizados, alto costo y funcionalidad no optimizada. El objetivo es desarrollar una tarjeta con un CPLD (Dispositivo Lógico Programable Complejo) que optimice el uso de recursos y apoye en el proceso de enseñanza-aprendizaje práctico en sistemas digitales. Se diseñó una placa basada en el chip MAX 3000, considerando especificaciones como bloques lógicos y puertos de E/S. Se comparó con otras tarjetas en términos de eficiencia y recursos, y se implementó en el entorno educativo para evaluar su impacto. Los resultados muestran que la tarjeta permite reducir el proceso de síntesis de código y aprovechar el software académico, ofreciendo una solución eficiente y accesible frente a otras opciones comerciales. Se concluye que la tarjeta es adecuada para el aprendizaje práctico, con buena operatividad y aprovechamiento de sus recursos.

Palabras Clave: CPLD, Diseño digital, Diseño electrónico, Tarjeta de desarrollo.

Abstract

This work presents a board designed to address basic knowledge in introductory logic circuit courses in computer or informatics engineering. Existing boards often have underutilized resources, high costs, and limited functionality. The objective was to develop a board with a CPLD (Complex Programmable Logic Device) that optimizes resource usage and support the practical teaching-learning process in digital systems. A board based on the MAX 3000 chip was designed, considering specifications such as the number of logic blocks and I/O ports. It was compared with other available boards in terms of efficiency and resources, and later implemented in educational settings to evaluate its impact. Results show that the board reduces code synthesis process and supports the use of academic software, offering an efficient and accessible solution compared to commercial alternatives. It is concluded that the board is suitable for practical learning, with good operability and effective use of its resources.

Keywords: CPLD, Development Board, Digital Design, Electronic Design.

1. Introducción

En el ámbito educativo, las asignaturas relacionadas con electrónica digital presentan un enfoque teórico-práctico, que requiere tanto equipo de cómputo como tarjetas de desarrollo específicas para la realización de actividades experimentales en laboratorio. En este contexto, los estudiantes requieren acceso a recursos de hardware y software que les permitan llevar a cabo prácticas orientadas al diseño y análisis de sistemas digitales.

Las tarjetas empleadas para el desarrollo de dichas prácticas están basadas en FPGA (Field Programmable Gate Array) o

CPLD (Complex Programmable Logic Device). En particular, los dispositivos de la marca Xilinx son los más usados en este tipo de implementaciones (Kasik, V., 2003), (Rodríguez M., 2024). Sin embargo, en muchos casos, los periféricos integrados en estas tarjetas no son utilizados en su totalidad, y la cantidad de recursos lógicos disponibles excede los requerimientos de los cursos introductorios. Aunado a ello se suma el alto costo de adquisición de estos dispositivos, lo cual puede limitar su uso generalizado en contextos educativos.

Como respuesta a estas limitaciones, se han explorado alternativas más accesibles mediante el desarrollo de tarjetas basadas en FPGA, CPLD o microcontroladores, las cuales se

*Autor para la correspondencia: mgomez@ipn.mx

Correo electrónico: mgomez@ipn.mx (Margarita Elizabeth Gómez Mayorga), loliva@ipn.mx (Luz Noé Oliva Moreno).

han posicionado como soluciones viables, prácticas y de uso cada vez más común en entornos académicos (Kalúz, M., 2014). También, existen proyectos personales y comerciales que ofrecen tarjetas de desarrollo diseñadas a la medida para fines educativos para ajustarse a las necesidades (Chapa, R., 2024), (Díaz, E., 2020), (Platas, M., 2018), (Zepeda, G., 2018).

Por lo anterior, se propone el diseño de una tarjeta de desarrollo optimizada para tareas educativas específicas y ajustadas a los objetivos formativos de los cursos básicos de sistemas digitales.

Esta propuesta busca promover el aprendizaje orientado a la optimización de recursos lógicos, considerando el abundante código disponible en plataformas en línea. Ya que dicho código no siempre se encuentra optimizado, su análisis y adaptación mediante fundamentos teóricos permite fortalecer las competencias prácticas y analíticas del estudiante durante la realización de las prácticas de laboratorio.

2. Diseño de la tarjeta

La tarjeta presentada en este proyecto ha sido diseñada y desarrollada para la realización de prácticas en el ámbito de circuitos digitales. Por sus características, los estudiantes pueden hacer uso de todo el hardware disponible, permitiéndoles familiarizarse con los principios de la lógica y fundamentos del diseño digital, así como comprender las diferencias entre los sistemas combinacionales y los sistemas secuenciales.

Mediante la elaboración de código, síntesis y compilación de un proyecto, se genera y carga el archivo mediante un programador a la tarjeta para verificar su correcto funcionamiento utilizando los componentes como interruptores, LEDs, reloj y Display de 7 segmentos. Esta metodología de aprendizaje práctico, donde el estudiante experimenta directamente con los conceptos teóricos, se alinea con la idea de "aprender haciendo" (Petrescu, I., 2015).

2.1. CPLD

Los CPLD, al igual que las FPGA, son ampliamente utilizados en aplicaciones de sistemas digitales, como se menciona en (Haba, C.-G., 2014).

Los principales fabricantes de FPGA son Xilinx de AMD, Lattice Semiconductor, Microchip Technology y Altera de Intel, mientras que los últimos tres son quienes desarrollan los CPLD. La tarjeta de desarrollo implementada en este proyecto emplea un chip EPM3064ATC44 de Altera de la serie MAX3000, de bajo costo y tecnología CMOS. Contiene una EEPROM, por lo que no requiere memoria externa; de sus 64 macroceldas, 16 son bloques de matriz lógica (LAB - Logic Array Blocks) y puede operar a una frecuencia máxima de 227 MHz.

El rendimiento de este chip, en términos del número de compuertas lógicas y de puertos de entrada y salida, es adecuado para satisfacer los requisitos de la parte introductoria o básica del diseño digital.

En la figura 1 se presenta en c) el diagrama de pines del chip utilizado EPM3064ATC44 con las conexiones a los componentes, en a) el conector USB que indica las terminales

de alimentación y en b) las conexiones de programación del JTAG.

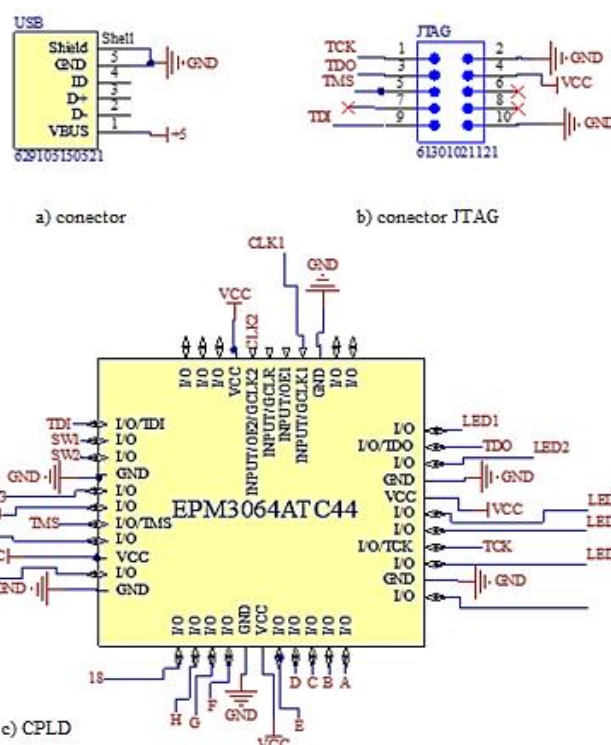


Figura 1: Diagrama esquemático del EPM3064ATC44 y sus conexiones del ambiente gráfico obtenido del software de Altium.

En la tabla 1 se detalla la información de las características generales del dispositivo.

Tabla 1: Características del chip EPM3064ATC44	
Características	Tipo
Macrocelas	64
Pines entrada/salida	34
Terminales	44
Encapsulado	TQFP
Compuertas	1250
Bloques de matriz lógica	4
Alimentación	3.3 V

2.2. Requerimientos de la tarjeta

La tarjeta desarrollada cuenta con los componentes necesarios para implementar sistemas combinacionales y secuenciales de 2 a 4 bits, detallados en la tabla 2.

Entre las funcionalidades implementables destacan: semisumador, semirrestador, sumador-restador, selectores, flip-flops (FF), registros y máquinas de estado.

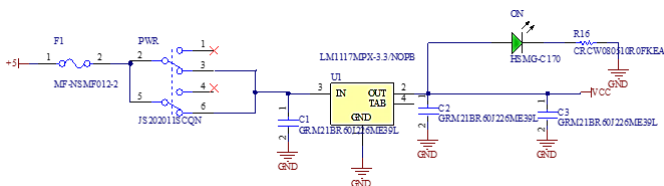
Estos componentes conforman una tarjeta versátil que permite a los estudiantes explorar conceptos fundamentales de diseño digital, desde operaciones básicas (suma, resta) hasta estructuras complejas como máquinas de estados, facilitando la práctica en aplicaciones de electrónica digital.

Tabla 2 Componentes de la tarjeta de desarrollo.

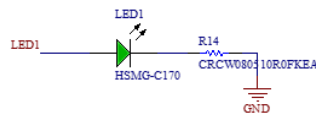
Componente	Cantidad
Interruptor de dos posiciones (entradas)	5
Interruptor de encendido	1
Display de siete segmentos	1
Chip CPLD	1
Micro USB	1
Conector para el programador JTAG	1
(Joint Test Action Group)	
LEDs	5
Reloj de 50 MHz y 4 MHz	1
Alimentación de 5 V	Micro USB
Regulador de voltaje de 3.3 V	1

2.3. Arquitectura de la tarjeta

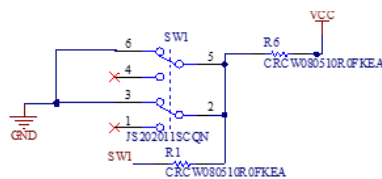
El diagrama esquemático, del ambiente gráfico obtenido del software de Altium, mostrado en la figura 2, detalla las conexiones de la tarjeta. En la parte superior se muestra la etapa de alimentación —fusible, interruptor y regulador de 5 V a 3.3 V— seguida de las conexiones de LEDs, interruptores y Display de siete segmentos.



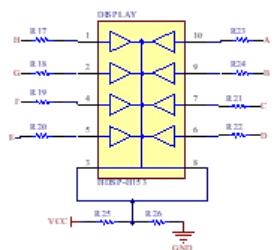
a) Fuente de alimentación



b) Conexión del LED



c) Conexión del interruptor



d) Conexión del display de 7 segmentos

Figura 2: Diagrama esquemático de conexiones.

Las conexiones a LEDs y Displays incluyen resistencias en serie para limitar corriente y prevenir daños por sobrecorriente. Adicionalmente, los interruptores incorporan resistencias pull-up y en serie hacia el puerto, garantizando la integridad de las terminales incluso si se configuran como salida.

En la figura 3 se ilustra el diagrama a bloques de la tarjeta, detallando los componentes integrados y las señales de entrada y salida asociadas a los distintos circuitos.

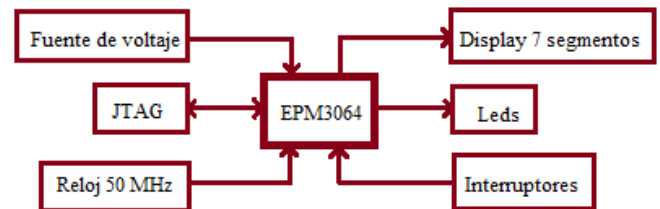


Figura 3: Diagrama de bloques.

2.4. Software de la tarjeta

El software para programar las familias MAX 3000 es Quartus de Altera en sus versiones 13, 13.1 y Lite, mostrado en la figura 4, las cuales ocupan menos espacio en disco que versiones recientes y son compatibles con sistemas operativos actuales.

Esta herramienta permite el análisis, síntesis, compilación, asignación de pines, verificación y generación del archivo de programación (VHDL o Verilog). En asignaturas relacionadas, ambos lenguajes son equivalentes, sin preferencia explícita.

El archivo ".pof" resultante se transfiere a la tarjeta mediante el programador USB-Blaster de Altera, que usa un conector JTAG de 10 pines (TDI, TDO, TMS, TCK).

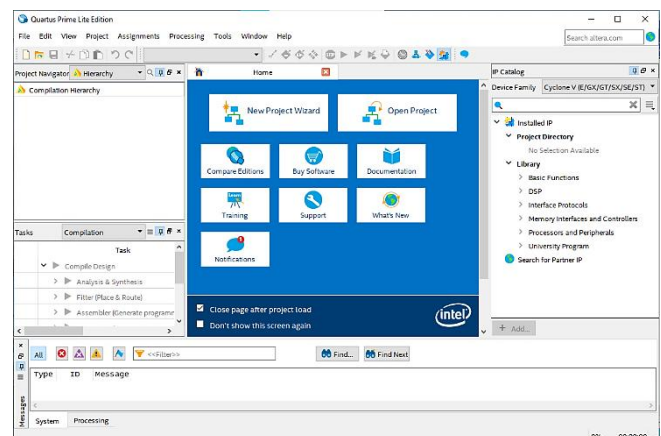


Figura 4: Interfaz de Quartus 13.1.

3. Tarjeta física

La tarjeta mostrada en la figura 5 incluye etiquetas con el número de terminal y el componente a que corresponde para facilitar las asignaciones en el software, la dimensión es de 5 x 8 cm.

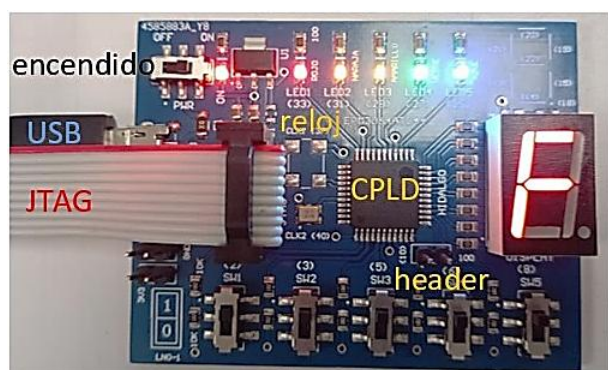


Figura 5: Tarjeta final con etiquetas.

En la tabla 3 se especifica la numeración de terminales, su elemento asociado y configuración (entrada/salida en Quartus).

Tabla 3: Numeración de pines de la tarjeta.

# de Pin	Etiqueta	Tipo	Uso	Nombre de Parte
33	LED1	Salida	Indicador lógico	LED 1
31	LED2	Salida	Indicador lógico	LED 2
28	LED3	Salida	Indicador lógico	LED 3
27	LED4	Salida	Indicador lógico	LED 4
25	LED5	Salida	Indicador lógico	LED 5
2	SW1	Entrada	Entrada lógica	SWITCH 1
3	SW2	Entrada	Entrada lógica	SWITCH 2
5	SW3	Entrada	Entrada lógica	SWITCH 3
6	SW4	Entrada	Entrada lógica	SWITCH 4
8	SW5	Entrada	Entrada lógica	SWITCH 5
37	CLK1	Entrada	Señal de 4 MHz	Reloj 2
40	CLK2	Entrada	Señal de 50 MHz	Reloj 1
20	A	Salida	Indicador lógico	Display (a)
19	B	Salida	Indicador lógico	Display (b)
15	C	Salida	Indicador lógico	Display (c)
14	D	Salida	Indicador lógico	Display (d)
13	E	Salida	Indicador lógico	Display (e)
21	F	Salida	Indicador lógico	Display (f)
22	G	Salida	Indicador lógico	Display (g)
26	TCK	Salida	Reloj	JTAG

32	TDO	Salida	Salida de Datos	JTAG
7	TMS	Entrada	Señal Modo Prueba	JTAG
1	TDI	Entrada	Entrada Datos	JTAG
10	(10)	Bidireccional	Uso general	Header1
12	(12)	Bidireccional	Uso general	Header2

4. Comparativa con otras tarjetas

Se compararon tarjetas con CPLD/FPGA, mostradas respectivamente en las tablas 4 y 5, útiles para cursos introductorios, observándose diferencias en costo-beneficio: un mayor número de macroceldas incrementa el costo significativamente, aunque no afecta la optimización de código para niveles básicos. Pese a similitudes en periféricos y terminales de E/S, el uso y costo marcan la diferencia frente a dispositivos con más elementos lógicos.

En CPLD la 5M570 (MAX V) ofrece la mayor capacidad al menor precio, la 4256ZR (MACH), es la más cara en relación con su capacidad y la XC2C64A (CoolRunner-II) es la más económica pero con menor capacidad.

Tabla 4: Tarjetas con CPLD. *Elementos Lógicos

CPLD	EPM240 T100C5 MAX II	5M570 MAX V	4256ZE MACH	XC2C64 A CoolRun ner-II
Fabricante	Altera (Intel)	Altera (Intel)	Lattice Semicon ductor	Xilinx
Software	Quartus 18.1	Quartus	ispVM System 17.9	ISE Design Suite
Precio (MXN)	\$1389.66	\$671.94	\$2606.52	\$580.00
Capacidad	240 LE*	570 LE / 440 macrocel das	256 macrocel das / 450 LUTs	72 macrocel das
Pines I/O	52	24	96	1 Push button -
Osc.	MEMS 24 MHz	66 MHz	Reloj de 5 KHz	
Otras	8 switches 8 LEDs USB-C 2 push buttons Program ador integrado	2 switches 4 LEDs USB-C Conector arduino 2 PMOD 4 ADC	Expansión 8 LEDs USB mini-B JTAG opcional	Dos bancos de voltajes 1.8 – 3.3 V LEDs JTAG 3.3 V CC

	Jumper 3.3 – 5 V		
(Barrera, R.I., 2019)	(User Manual EPT USB PLD Dev System, s.f.)	(User's Guide, Lattice Semicon ductor, 2012)	(Placa de desarroll o CPLD CoolRun ner-II, 2024)

En FPGA la Kintex 7 KC705 (Xilinx) es la de mayor capacidad con un precio relativamente bajo, la Basys 3 Artix-7 (Xilinx/Digilent) es cara para la cantidad lógica que ofrece, la Amiba2 Spartan 6 (AMD) tiene la menor capacidad y el menor precio, por último, la MAX 10 Dev Kit (Intel) tiene suficiente capacidad, aunque el precio más alto.

Tabla 5: Tarjetas con FPGA. *Elementos Lógicos

FPGA	Kintex™ 7 KC705	Basys 3 Artix-7	Amiba2 Spartan 6	Max 10 Dev Kit
Fabricante	Xilinx	Xilinx Digilent	AMD	Intel
Software	Vivado Design Suite	Adept	Vivado / ISE Design Suite	Quartus Prime Lite
Precio (MXN)	\$2748.00	\$2995.66	\$1395.00	\$3685.88
Capacidad	326,080 LE*	33,280 LE*	11,440 FF	50,000 LE*
Pines I/O	500	s/e(≈100 aprox.)	51	484
Osc.	200 MHz / 156.25 MHz prog.	100 MHz / interno 450 MHz	50 MHz	450 MHz
Otras	4 DIP 5 push button 8 LEDs JTAG GTX Memoria HDMI LCD	16 switches 16 LEDs 5 push button 4 Displays 7 seg. 4 PMOD VGA USB- UART USB- JTAG Memoria 5 V CC	9 switches 5 push button 12 LEDs USB – JTAG RS232 3 expansio nes 5 V CC	Interfaz Gbe USB HDMI SMA JTAG Ethernet HSMC PMOD Memoria QSPIDDR
	(AMD Kintex7 FPGA KC705 Evaluation Kit, 2025)	(Basys 3 FPGA Board Reference Manual, 2016)	(Amiba2, 2021)	(Intel MAX 10 FPGA Develop ment Kit, 2015)

5. Resultados

Se realizó el desarrollo de un sumador completo utilizando el lenguaje de descripción de hardware Verilog. El módulo implementado se denomina prueba2 y está diseñado para realizar la suma de dos bits de entrada (a y b) junto con un bit de acarreo de entrada (ci). El resultado se entrega en los puertos de salida sum (suma) y co (acarreo de salida). El código correspondiente es el siguiente:

```
module prueba2(a, b, ci, sum, co); // nombre del módulo
  input a, b, ci; // entradas
  output sum; // salida de suma
  output co; // salida de acarreo
  wire a, b, ci, sum, co;
  assign {co, sum} = a + b + ci;
endmodule
```

En la figura 6 se muestra mediante el RTL (Nivel de Transferencia entre Registros) la implementación del módulo sumador antes mencionado.

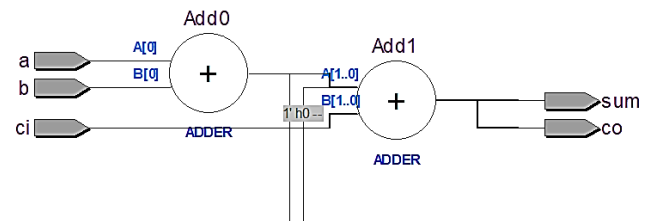


Figura 6: Diagrama RTL de un sumador completo del ambiente gráfico obtenido del simulador de Quartus.

En la figura 7 se presenta la asignación de terminales obtenido mediante el Pin Planner, donde se especifican los nodos, sus direcciones y la ubicación física en el dispositivo.

Node Name	Direction	Location	Fitter Location	Reserved
in a	Input	PIN_2	PIN_2	
in b	Input	PIN_3	PIN_3	
in ci	Input	PIN_5	PIN_5	
out co	Output	PIN_33	PIN_33	
out sum	Output	PIN_31	PIN_31	
in TDI	Input	PIN_1	PIN_1	
out TDO	Output	PIN_32	PIN_32	
in TMS	Input	PIN_7	PIN_7	
in TCK	Input	PIN_26	PIN_26	
<<new node>>				

Figura 7: Asignación de las terminales del ambiente gráfico obtenido del simulador de Quartus.

En la figura 8 se presentan los pines del dispositivo mediante distintos símbolos que indican su función:

Pentágonos: Pines de programación.

Círculos: Entradas y salidas 3.3 V LVTTTL(I/O).

X: Pines de alimentación (VCC y GND).

Cuadro con escalón: Señales de reloj.

Las terminales marcadas en rojo (pines 1, 8, 26 y 33) son las utilizadas en el diseño actual.

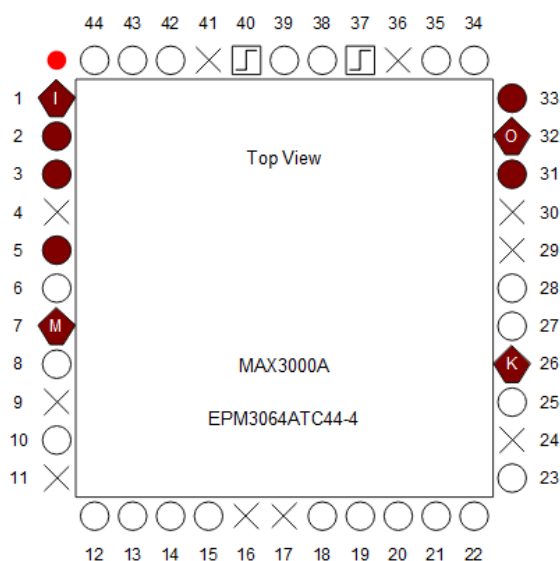


Figura 8: Ubicación física de las terminales del dispositivo del ambiente gráfico obtenido del simulador de Quartus.

En resumen, esta implementación presenta la siguiente información:

Quartus II 64-Bit Version

Revision Name prueba2
 Top-level Entity Name prueba2
 Family MAX3000A
 Device EPM3064ATC44-4
 Timing Models Final
 Total macrocells 2 / 64 (3 %)
 Total pins 9 / 34 (26 %)

El diseño actual utiliza solo el 3% de las macroceldas disponibles, lo que indica una implementación muy ligera; El uso de pines es moderado (26%), lo cual sugiere que el diseño tiene una cantidad razonable de entradas/salidas activas. Aún hay margen para agregar más señales sin necesidad de cambiar de dispositivo; El uso los recursos en este ejemplo permite mantener bajo consumo de energía y alta confiabilidad, características deseables en sistemas embebidos o aplicaciones educativas. En estos entornos, es posible profundizar en el análisis del diseño mediante herramientas como el Chip Planner, que permite visualizar y analizar cómo se asignan los recursos internos del dispositivo CPLD o FPGA y facilitar la depuración y mejora del diseño que, en esta versión del software y hardware, se puede realizar.

El costo aproximado de la tarjeta es de \$200.00 pesos y \$100.00 pesos el programador USB-Blaster. Estos sistemas son fácilmente desarrollables revisando hojas de especificación para identificar: terminales de alimentación, señales de reloj y puertos GPIO. Cabe destacar que el CPLD opera a 3.3 V con tecnología CMOS.

6. Discusión

Este trabajo prioriza una tarjeta económica para la enseñanza, ya que opciones comerciales suelen ser costosas y exceder las necesidades de cursos básicos. Aunque existen plataformas en la nube y herramientas como ChatGPT o DeepSeek que ofrecen códigos preestablecidos, estas limitan

el análisis crítico estudiantil. Por ello, se desarrolló una plataforma de bajo costo que, mediante la optimización de HDL (lenguaje de descripción de hardware), evalúa ajustes para cumplir los objetivos del programa. Otras metodologías pueden ser más costosas y complejas, especialmente en gestión de terminales y comprensión de la arquitectura.

El enfoque principal es brindar una herramienta accesible que fomente la práctica, el análisis y la comprensión de los conceptos clave del diseño digital mediante la verificación funcional, especialmente en las etapas iniciales del aprendizaje.

Partiendo del uso de una tarjeta simple, se facilita el trabajo posterior con tarjetas complejas, el análisis de su diseño o la integración de componentes. Esto permite visualizar la programación como arquitectura digital paralela (implementada mediante HDL) y contrastarla con arquitecturas secuenciales como las de microcontroladores, lo que ayuda a comprender las ventajas y desventajas de cada enfoque.

7. Conclusión

La tarjeta desarrollada tiene los recursos necesarios que facilitan su replicación a menor costo que las comerciales, permite de igual manera la realización de prácticas introductorias en sistemas digitales, lo que contribuye a una comprensión más sencilla de los conceptos fundamentales al no incluir recursos innecesarios. En dispositivos con mayores capacidades, los estudiantes suelen pasar por alto la optimización y el análisis del código durante el desarrollo. Debido a su simplicidad de la arquitectura de ésta tarjeta, permite adaptar las prácticas a las capacidades del EPM3064ATC44 mediante diseños optimizados. Además, el costo reducido de las tarjetas las hace accesibles y asequibles para proyectos educativos y aprendizaje práctico en sistemas digitales. La interpretación de funcionalidad se abarca en los resultados.

Contar con bases sólidas en diseño digital y verificación funcional es crucial, ya que impacta directamente en: la optimización de diseños, la eficiencia energética y los costos de fabricación de circuitos integrados.

Agradecimientos

Los autores expresan su agradecimiento al Instituto Politécnico Nacional (IPN) por el respaldo brindado para la realización de este trabajo. En particular, se reconoce el apoyo a la investigación y a la innovación educativa que promueve, así como el acceso a infraestructura académica y tecnológica que hizo posible el desarrollo de este trabajo. Dicho apoyo fue fundamental para fortalecer el proceso de enseñanza-aprendizaje en el área de sistemas digitales y para consolidar una propuesta orientada a la formación práctica de estudiantes de ingeniería.

Referencias

AMD Kintex7 FPGA KC705 Evaluation Kit. AMD. xilinx.com
<https://www.amd.com/en/products/adaptive-socs-and-fpgas/evaluation-boards/ek-k7-kc705-g.html#toolsip> (Accessed: 1 Septiembre 2025)

- Amiba2. Intesc electrónica & embebidos. Intesc.mx. <https://intesc.mx/wp-content/uploads/2021/08/ManualAmiba2RevC.pdf>, 2021. (Accessed: 1 Septiembre 2025)
- Barrera, R.I., Molina, J.L., Manzano, C.E. y Tapia, D.A. DIONE ESPECIFICACIONES TECNICAS, NIBBLUX, 2019. Available at: <https://agelectronica.lat/pdfs/textos/D/DIONE-CPLD.PDF> (Accessed: 19 Julio2024).
- Basys 3 FPGA Board Reference Manual. Digilent, Inc. [digilent.com](https://digilent.com/reference/_media/basys3/basys3_rm.pdf), (2016). https://digilent.com/reference/_media/basys3/basys3_rm.pdf (Accessed: 1 Septiembre 2025)
- Chapa, R., Flores, N. y Guzmán, V. Diseño y Desarrollo de tarjeta prototipo para la implementación de proyectos de control automático y electronica. *Brazilian Journal of Development*, Curitiba, v.10, n.7, p. 01-18, 2024.
- Díaz, E. Relevancia de la ejecución experimental de proyectos con microcontroladores en el aprendizaje de la ingeniería electrónica. *Educación*, 29(56), 48-72, 2020. <https://doi.org/10.18800/educacion.202001.003>
- Haba, C.-G. Using FPGA development boards for multi-course laboratory support. *IEEE Global Engineering Education Conference (EDUCON)*, Istanbul, Turkey, 2014, pp. 794-797, 2014. doi: 10.1109/EDUCON.2014.6826185.
- Intel MAX 10 FPGA Development Kit, (2015). Intel. [Intel.com](https://www.intel.com/content/www/us/en/products/details/fpga/development-kits/max/10m50.html). <https://www.intel.com/content/www/us/en/products/details/fpga/development-kits/max/10m50.html> (Accessed: 1 Septiembre 2025)
- Kalúz, M., Čirka, L., Valo, R. & Fikar, M. (2014). ArPi Lab: A low-cost remote laboratory for control education. *IFAC Proceedings Volumes*. Volume 47, Issue 3. (IFAC-PapersOnline). 19. 9057-9062. ISSN 1474-6670, ISBN 9783902823625, <https://doi.org/10.3182/20140824-6-ZA-1003.00963>. (<https://www.sciencedirect.com/science/article/pii/S1474667016430430>)
- Kasik, V. (2003). The Laboratory for PLD Education – Technical Equipment Design and Development. *IFAC Proceedings Volumes*. 36. 391-394. 10.1016/S1474-6670(17)33781-3.
- Petrescu, I., Pavaloiu, I. & Dragoi, G. (2015). Digital Logic Introduction Using FPGAs. *Procedia - Social and Behavioral Sciences*. 180. 1507-1513. 10.1016/j.sbspro.2015.02.299.
- Placa de desarrollo CPLD CoolRunner-II XC2C64A (2024). [silicio.mx](https://silicio.mx/placa-de-desarrollo-cpld-coolrunner-ii-xc2c64a). <https://silicio.mx/placa-de-desarrollo-cpld-coolrunner-ii-xc2c64a> (Accessed: 1 Septiembre 2025)
- Platas, M. & Garza, J. & Garza, J. (2018). Diseño de un Módulo Electrónico utilizando tecnología CPLD para la asignatura de Sistemas Digitales en Ingeniería. 10.13140/RG.2.2.22817.62567.
- Rodríguez Mejía, J. R., Barajas-Bustillos, M. A., Quiroz Merino, G., Woocay Prieto, A., & Ruiz Grijalva, M. M. (2024). Diseño de circuitos integrados de uso dedicado (ASIC) mediante tarjetas de desarrollo (FPGA): propuesta de investigación. *IPSUMTEC*, 7(3), 9–19. <https://doi.org/10.61117/ipsumtec.v7i2.342>.
- User's Guide, LATTICE SEMICONDUCTOR. ISPMACH 4256ZE BREAKOUT BOARD EVALUATION KIT, (2012). Available at: <https://engineering.purdue.edu/~meyer/DDU270/Refs/Pld/UserGuide.pdf> (Accessed: 1 Septiembre 2025).
- User Manual EPT USB PLD Dev System, E. technology. UNOPROLOGIC USB CPLD development system data sheet, d3s5r33r268y59.cloudfront.net. Available at: https://earthpeopletechnology.com/wp-content/uploads/2015/04/UNO_USB_CPLD_DEV_SYS_DS.pdf (Accessed: 1 Septiembre 2025).
- Zepeda, G. (2018). Diseño e implementación de una tarjeta con FPGA RAM Y ROM externas. Benemérita Universidad Autónoma de Puebla. <https://hdl.handle.net/20.500.12371/1004>