

## Nano transistores de efecto de campo tipo aleta para aplicaciones digitales Nano Field Effect Transistors Type Fin for digital applications

J. L. González-Vidal <sup>a,\*</sup>, M. A. Veloz-Rodríguez <sup>b</sup>, I. A. Lira-Hernández <sup>c</sup>, M. García-Rivera <sup>a</sup>, R. A. Vázquez-García <sup>b</sup>, J. J. Raygoza-Panduro <sup>d</sup>.

<sup>a</sup> Área Académica de Computación y Electrónica, Universidad Autónoma del Estado de Hidalgo, 42184, Pachuca, Hidalgo, México.

<sup>b</sup> Área Académica de Ciencias de la Tierra y Materiales, Universidad Autónoma del Estado de Hidalgo, 42184, Pachuca, Hidalgo, México.

<sup>c</sup> Área Académica de Ingeniería y Arquitectura, Universidad Autónoma del Estado de Hidalgo, 42184, Pachuca, Hidalgo, México.

<sup>d</sup> Centro Universitario de Ciencias Exactas e Ingenierías, Universidad de Guadalajara, 44430, Guadalajara, Jalisco, México.

### Resumen

El objetivo de este trabajo es proporcionar a los estudiantes de electrónica, computación y áreas afines, un panorama de la construcción y funcionamiento de los transistores de efecto de campo de aleta (FinFET), los cuales son dispositivos extremadamente diminutos, con longitud de compuerta en el rango de los nanómetros, se fabrican con la técnica de silicio sobre aislante (SOI). Utilizando FinFETs tipo  $n$  y  $p$  se diseñaron los diagramas esquemáticos y las formas y dimensiones de los materiales utilizando un código de colores (layouts) de las compuertas lógicas básicas, este tipo de compuertas son la base para el diseño y construcción de la mayoría de los dispositivos digitales utilizados en los aparatos electrónicos modernos, principalmente los portátiles. Con los tamaños tan reducidos de los FinFET se fabrican todos los microprocesadores, los DSPs, las memorias, los chips de los teléfonos celulares y tabletas de las compañías electrónicas más importantes del mundo.

### Palabras Clave:

FinFET, Silicio sobre aislante, ULSI, CMOS.

### Abstract

The aim of this work is providing to students of electronics, computing and related areas, an overview of the construction and behavior of fin field effect transistors (FinFETs), which are tiny devices, with gate length in the nanometer range, they are manufactured using the silicon-on-insulator (SOI) technique. Using FinFETs type  $n$  and  $p$ , the schematic diagrams and layouts of the basic logic gates were designed, this kind of gates are the basis for the design and construction of most of the digital electronic devices used in modern electronic devices, mainly portable ones. With the exceedingly small sizes of FinFETs, all microprocessors, DSPs, memories and the chips of cell phones and tablets are manufactured from the most important electronic companies in the world.

### Keywords:

FinFET, SOI, ULSI, CMOS.

## 1. Introducción

En la actualidad, la mayoría de los aparatos y dispositivos electrónicos modernos, sobre todo los portátiles, tales como los teléfonos celulares, cámaras fotográficas, tabletas electrónicas y relojes inteligentes, entre otros, funcionan por medio de circuitos electrónicos extremadamente diminutos, con los cuales la eficiencia se mantiene y el consumo de potencia se reduce. El dispositivo clave para que este tipo de circuitos integrados de ultra alta escala de integración (ULSI, Ultra Large Scale Integration) se le conoce como transistor de efecto de campo de aleta o de dedo (FinFET, Fin Field Effect Transistor), aunque la mayoría de los autores traducen al español como transistor de efecto de campo de

aleta, por la forma de su compuerta (Bhattacharya & Jha, 2014), (Ensan, Moaiyeri, Moghaddam, & Hessabi, 2019), (Trombini, y otros, 2019); otros mencionan que dicha compuerta tiene forma de un dedo humano (Timofeyev, Semenovskaya, & Faleeva, 2015) (Boned, Borja, & García Moreno, 2010).

### 1.1. Breve historia de los FinFET

El primer reporte de un FinFET se realizó en 1989, y fue realizado por Hisamoto, Kaga, Kawamoto y Takeda, quienes trabajaban para el laboratorio Central de Investigación de Hitachi, estos investigadores llamaron a su desarrollo transistor de canal delgado agotado tipo DELTA, por la forma nueva de la compuerta en similar a la letra griega delta. Reportaron un dispositivo similar

\*Autor para la correspondencia: jlvidal@uaeh.edu.mx

Correo electrónico: jlvidal@uaeh.edu.mx (José Luis González Vidal), mveloz@uaeh.edu.mx (María Aurora Veloz Rodríguez), ilira@uaeh.edu.mx (Iván Alonso Lira Hernández), max@uaeh.edu.mx (Max García Rivera), rosaangelesv@gmail.com (Rosa Ángeles Vázquez García), juan.rpanduro@academicos.udg.mx (Juan José Raygoza-Panduro).

al de la tecnología CMOS, es decir los MOSFET tipo *n* y *p* (NMOS y PMOS), pero con la diferencia que utilizaron la técnica de silicio sobre aislante (SOI), que consiste en una estructura, sobre una capa de aislante, generalmente de óxido de semiconductor con forma de aleta entre la fuente y el drenador del transistor, la cual está separada por un semiconductor, la compuerta cubre la aleta y, forma una interfaz silicio-dióxido de silicio (Si-SiO<sub>2</sub>), la disposición de la nueva compuerta proporciona conexión eléctrica en ambos lados, lo cual permite un mayor control del canal, además de que es extremadamente delgada (unos cuantos nanómetros) elimina los efectos de canal corto de los NMOS y PMOS convencionales (Hisamoto, y otros, 2000) (Bhattacharya & Jha, 2014).

Leobandung y Chou propusieron en 1996 un dispositivo que tenía 35nm x 70 nm de ancho y largo de canal respectivamente. En 1998, Hisamoto, Hu, Liu, Bokor, Lee, Kedzierski, Anderson, Takeuchi y Asano, desarrollaron un FinFET de canal *N* de 17 nm. En 1999, el mismo Hisamoto, Hu, Huang, Lee, Kuo, Chang, Kedzierski, Anderson y Takeuchi desarrollaron el FinFET de canal *p* sub-50 nm. En 2001, Hu, Choi, Lindert, Xuan, Tang, Ha, Anderson, King Liu y Jeffrey Bokor desarrollaron un FinFET de 15 nm. En 2002, Ahmed, Bell, Tabery, Bokor, Kyser, Hu, King Liu, Bin Yu y Chang desarrollaron un FinFET de 10 nm. Para 2004, Ha, Takeuchi, Choi, King Liu, Bai, Kwong, Agarwal y Ameen desarrollaron un FinFET de puerta de metal con alto  $\kappa - D$ , donde  $\kappa$  es la constante dieléctrica del material de fuente, compuerta y drenador. Todos estos investigadores acuñaron el término "FinFET" para describir un transistor de doble compuerta 3D fabricado sobre un sustrato SOI.

El FinFET Comparte algunos principios de funcionamiento de sus antecesores los transistores de efecto de campo de metal óxido semiconductor (MOSFET); existen algunas diferencias entre los FinFET y los MOSFET, las cuales se convierten en ventajas que hacen a los primeros más eficientes, la primera es que utiliza la estructura SOI, la cual consiste en crecer o depositar los materiales semiconductores, aislantes, metales y, por medio de fotolitografía y sus respectivos métodos de grabado, para dar forma a las estructuras, terminales de los dispositivos, contactos e interconexiones entre los mismos. Debido a que no son dispositivos que necesiten implantaciones o difusiones dentro del sustrato, el contacto al sustrato de los MOSFET se elimina, lo que simplifica el proceso de manufactura de los FinFET (Bhattacharya & Jha, 2014) (Timofeyev, Semenovskaya, & Faleeva, 2015) (Pedram, Li, Wang, Nazarian, & Pedram, 2016).

Es bien sabido que el estado más importante del FinFET es cuando está en saturación, debido a que en dicho estado conduce la corriente eléctrica, La corriente  $I_{dsat}$  se puede calcular por medio de

$$I_{dsat} = \mu C \frac{W}{L} [(V_g - V_{th})V_d] \quad (1)$$

donde

- $\mu$  es la movilidad de los portadores de carga mayoritarios,
- $C$  es la capacitancia de la compuerta.
- $W$  es el ancho del canal.
- $L$  es el largo del canal.
- $V_g$  es el voltaje de compuerta.
- $V_{th}$  es el voltaje de umbral y
- $V_d$  es el voltaje de drenador, ver (Lan, Chen, Lin, Li, & Li, 2019).

## 1.2. Características importantes de los FinFET

A continuación, se enumeran las características más importantes de los FinFET, y por las que se consideran mejores, en algunos aspectos, que los MOSFET.

- Utilizan la técnica de silicio sobre aislante.
- Su longitud de compuerta ( $L$ ) está en el rango de los nanómetros.
- Utilizan tres terminales, compuerta ( $G$ ), Fuente ( $S$ ) y drenador ( $D$ ).
- Eliminan el efecto de canal corto (short channel).
- Se consideran transistores tridimensionales (3D).
- Voltajes de umbral más bajos.
- Voltajes de estado alto más bajos, cercanos a 1V.
- Corriente de drenador  $I_d$  más baja, cerca de  $10^{-5}$  mA.

A la fecha existe una gran competencia entre las compañías INTEL®, Samsung® y Taiwan Semiconductor Manufacturing Company (TSMC®), esta última liderea la competencia tecnológica, ya que es el principal proveedor de chips para Iphone® de Mac®. TSMC®, tiene programado el lanzamiento de la tecnología de 3nm para inicios de 2022 (López, 2020).

Entre las principales desventajas de esta tecnología se puede mencionar que, debido a sus dimensiones tan pequeñas, los procesos de fotolitografía y grabado de los materiales son muy difíciles de llevar a cabo, por lo que su fabricación ese hace muy cara.

## 1.3. Construcción del FinFET

Se considera un sustrato de silicio y se crece el óxido inicial, a continuación, se deposita una capa de polisilicio y se enmascara con una capa de Si/SiO<sub>2</sub>N<sub>4</sub>, como se muestra en la Figura 1a. Después se deposita una capa de silicio (Si) amorfo impurificado con fósforo, mismos que servirán para conformar la fuente y el drenador del dispositivo (Fig. 1b). La Figura 1c muestra el grabado del SiO<sub>2</sub> y el silicio amorfo para formar la fuente, la compuerta y una ranura de unos cuantos nanómetros en medio, donde se construirá la compuerta. En el siguiente paso se elimina la capa de Si/SiO<sub>2</sub>N<sub>4</sub> dejando el Si expuesto (Fig. 1d), que conformará la compuerta, como se muestra en la Figura 1e (Hisamoto, y otros, 2000) (Bhattacharya & Jha, 2014) (Pedram, Li, Wang, Nazarian, & Pedram, 2016) (Lan, Chen, Lin, Li, & Li, 2019) (Liu, y otros, 2019) (Chen, y otros, 2020) (Huang, Bai, Lam, & Kim, 2020).

La Figura 2 muestra la imagen tridimensional del FinFET.

## 2. Desarrollo

### 2.1. Símbolos de los FinFETs

Al igual que sus primos los MOSFET tipo *n* y *p*, existen los FinFET tipo *n* y *p*, en la figuras 3 y 4 se muestran sus símbolos respectivamente, también se aprecia que en la parte derecha de cada uno, existe una cuarta terminal que funciona como segunda compuerta, en este caso, está cortocircuitada con la terminal de la derecha; esta característica, además de su tamaño en el rango de los nanómetros, es la que hace más eficiente su funcionamiento, ya que en algunos casos y dependiendo del tipo de circuito, la terminal de la segunda compuerta puede estar conectada a otra fuente de voltaje (Bhattacharya & Jha, 2014) (Zhang, y otros, 2019) (Saritha, Vinitha, Sravya, & Vijay, 2020).

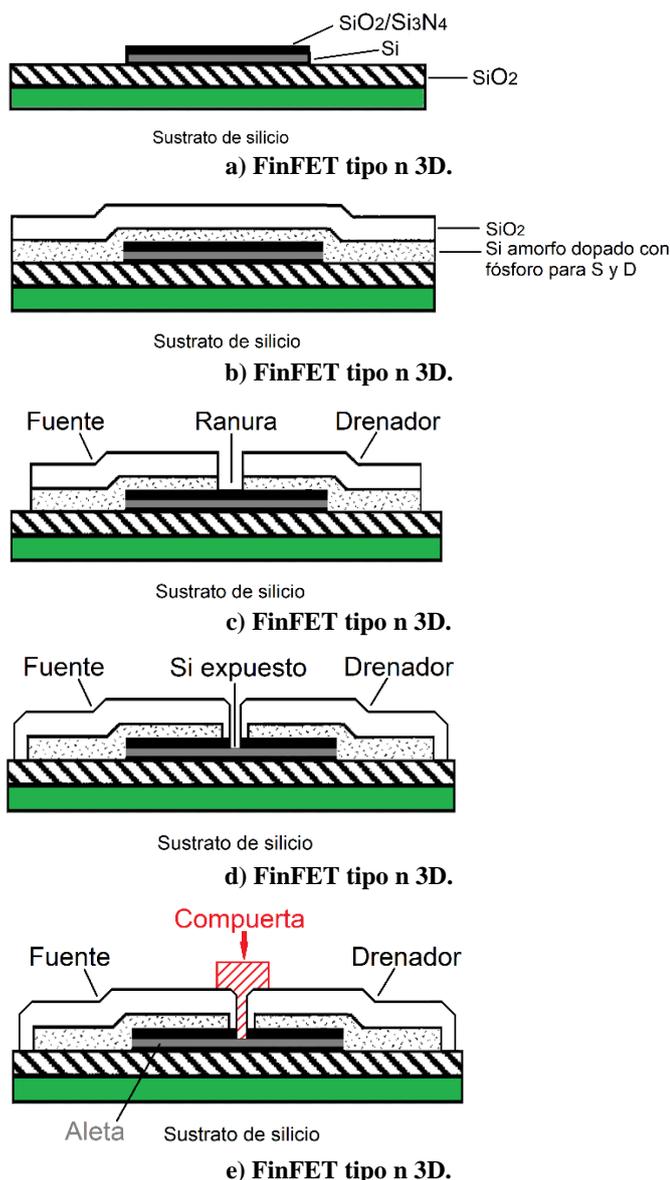


Figura 1: Pasos de fabricación del FinFET tipo n 3D.

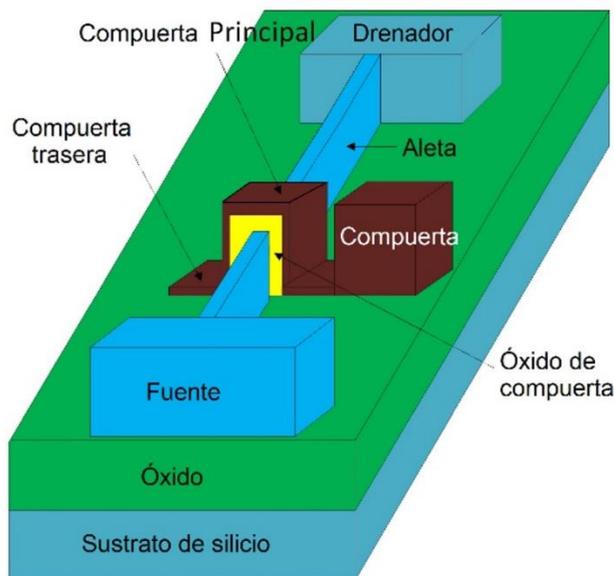


Figura 2: FinFET tipo n 3D.

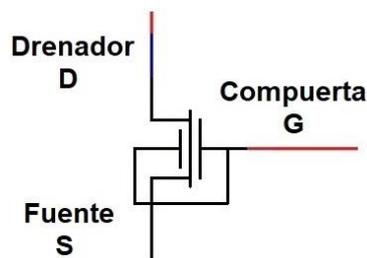


Figura 3: Símbolo del FinFET tipo n.

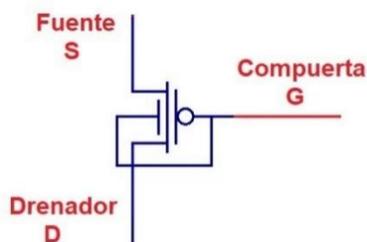


Figura 4: Símbolo del FinFET tipo p.

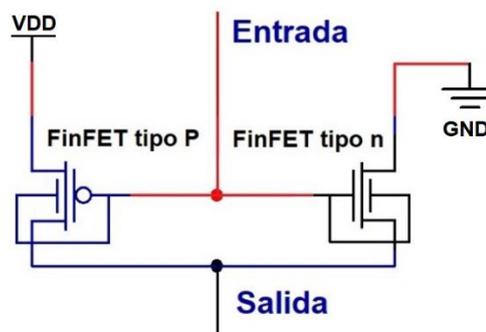
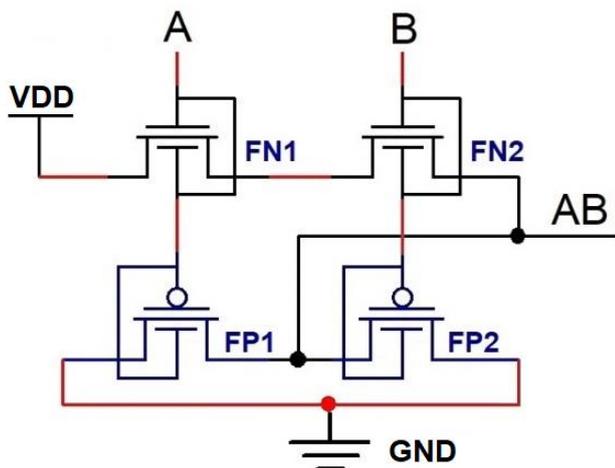


Figura 5: Inversor FinFET.

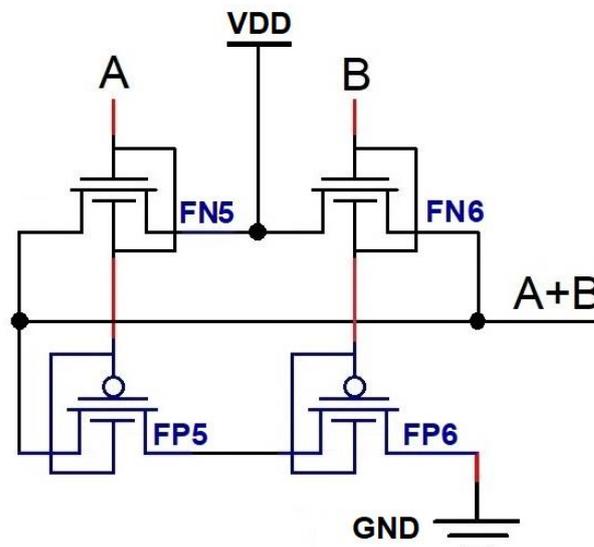
Las Figuras 5 a la 9 presentan las cinco compuertas básicas utilizadas en la electrónica digital; la Figura 5 muestra el inversor, usualmente los inversores se dibujan de manera vertical, pero considerando que los circuitos no sólo deben consumir el mínimo de potencia, sino que debido a la alta densidad a la cual van a ser implementados y, que los inversores utilizan transistores con compuerta compartida, ambas se colocan lo más cerca posible. Estos transistores fueron diseñados con una longitud de compuerta de  $L_{fin}=15\text{nm}$ .

En la Figura 6 se muestra la compuerta lógica AND con FinFETs, en la que se pueden apreciar cuatro FinFETs, dos tipo *n* FN1 y FN2 y dos tipo *p* FP1 y FP2; los dos primeros están conectados en serie y los dos últimos están en paralelo, además se observa que FN1 y FP1 comparten compuerta o están cortocircuitados en la compuerta, lo mismo ocurre para el par FN2 y FP2; de esta forma cuando las entradas A y B están en estado alto, FN1 y FN2 están en saturación y conducen, por lo que la salida AB estará en estado alto, de cualquier otra forma, la salida AB estará en estado bajo.



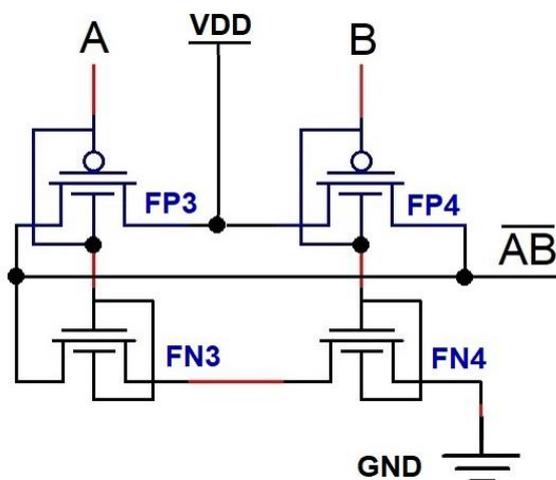
**Figura 6: Compuerta AND FinFET.**

compuerta o están cortocircuitados en la compuerta, lo mismo ocurre para el par FN8 y FP8, de esta forma cuando las entradas A o B están en estado bajo, FP7 y FP8 están en saturación y conducen, por lo que la salida  $\overline{A+B}$  estará en estado alto, de cualquier otra forma estará en estado bajo.

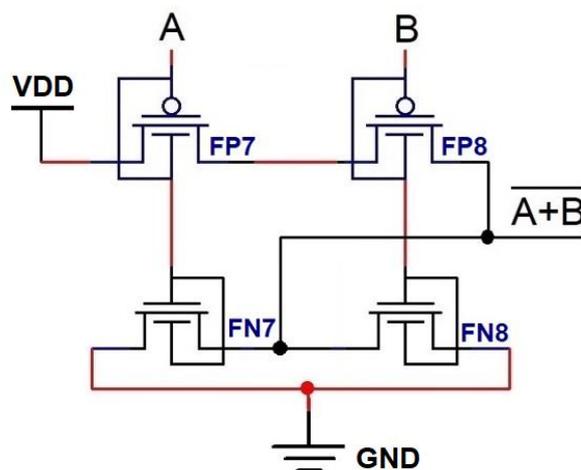


**Figura 8: Compuerta OR FinFET.**

Para el caso de la compuerta lógica NAND con FinFETs, mostrada en la Figura 7, se pueden apreciar cuatro FinFETs, dos tipo *p* FP3 y FP4 y dos tipo *n* FN3 y FN4; los dos primeros están conectados en paralelo y los dos últimos están en serie, además se observa que FN3 y FP3 están cortocircuitados en la compuerta, lo mismo ocurre para el par FN4 y FP4, de esta forma, cuando cualquiera de las entradas A o B están en estado bajo, FP3 o FP4 estarán en saturación y conducirán, por lo que la salida  $\overline{AB}$  estará en estado alto, cuando A y B estén en estado alto, FN3 y FN4 estarán en saturación y la salida  $\overline{AB}$  estará en estado bajo.



**Figura 7: Compuerta NAND FinFET.**



**Figura 9: Compuerta NOR FinFET.**

La compuerta lógica OR con FinFETs (Fig. 8) está conformada por cuatro FinFETs, dos tipo *n* FN5 y FN6 y dos tipo *p* FP5 y FP6; FN5 y FN6 están conectados en paralelo y FP5 y FP6 en serie, además se observa que FN5 y FP5 comparten compuerta o están cortocircuitados en la compuerta, lo mismo ocurre para el par FN6 y FP6, de esta forma cuando cualquiera de las entradas A y B están en estado alto, FN5 y FN6 están en saturación y conducen, por lo que la salida A+B estará en estado alto, si entradas A y B están en estado bajo, la salida A+B estará en estado bajo.

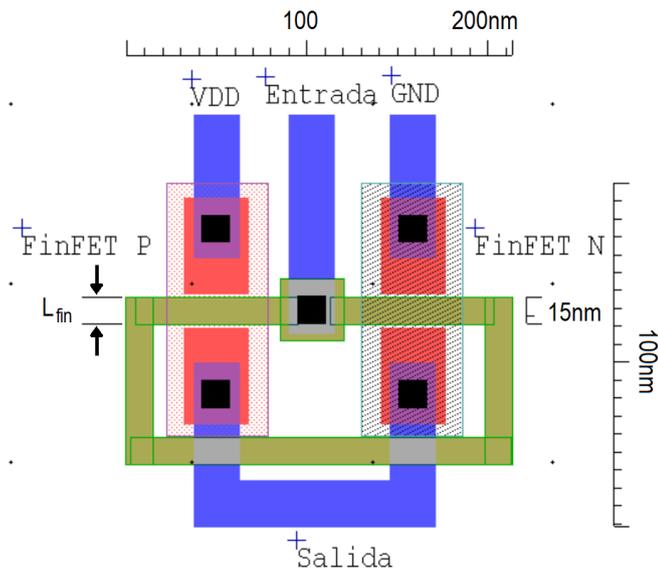
Por último, la compuerta lógica NOR con FinFETs se muestra en la Figura 9, en la que se pueden apreciar cuatro FinFETs, dos tipo *p* FP7 y FP8, dos tipo *n* FN7 y FN8; estos últimos están conectados en paralelo mientras que FP7 y FP8 están conectados en paralelo, también se observa que FN7 y FP7 comparten

### 3. Diseño del layout de las compuertas lógicas con FinFET

Se conoce como layout al diseño de las geometrías de los diversos materiales que conforman los dispositivos y conexiones de un circuito integrado, donde cada material cuenta con un color y una tonalidad representativos. El layout de todas las compuertas fue realizado con el software L-Edit Win64 16.1 de Mentor Graphics, en este caso sólo se presentan los layout y los diagramas esquemáticos, debido a que las gráficas de estados son muy básicas y no se presentan.

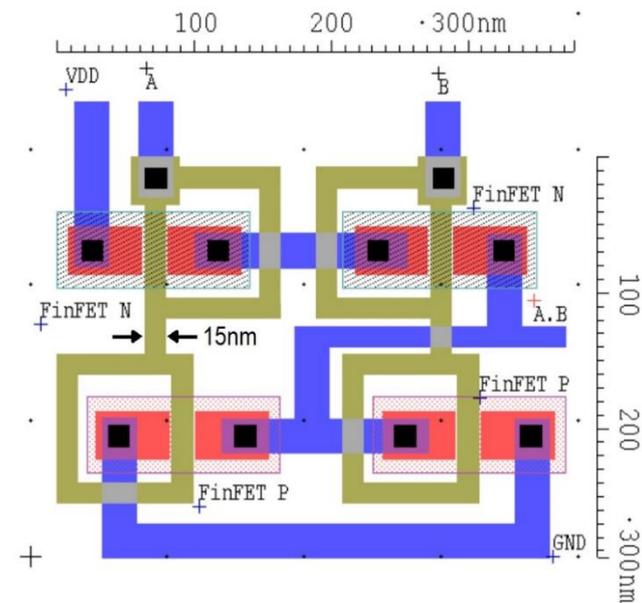
La Figura 10 representa el layout del inversor de la Figura 5, en la cual se aprecian dos transistores FinFET, uno tipo *n* y otro tipo *p* en una conexión tipo U, como cualquier inversor, la fuente del FinFET tipo *p* está conectada a la fuente  $V_{DD}$ , ambos drenadores están conectados a la salida de la parte inferior de la figura, la fuente del FinFET tipo *n* está conectada a la tierra del circuito GND, Todos los FinFET de este trabajo cuentan con

$L_{fin}=15\text{ nm}$  de ancho de compuerta, el inversor ocupa un área total de  $214\text{nm}$  de base por  $192\text{nm}$  de altura.



**Figura 10: Layout del Inversor FinFET.**

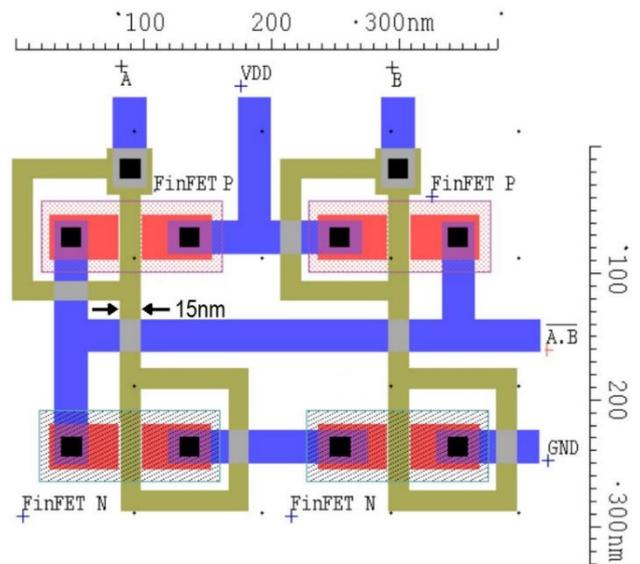
El layout de la compuerta AND de la Figura 6 se muestra en la Figura 11, se trata de una conexión cuadrada de dos por dos transistores, en la parte superior de la figura se observan dos FinFET tipo  $n$  en serie, el drenador del primer FinFET tipo  $n$  está conectada a VDD, ambas compuertas están conectadas a las entradas A y B respectivamente, la fuente del segundo FinFET tipo  $n$  está conectada a la salida A.B. En la parte inferior se encuentran dos FinFET tipo  $p$ , sus fuentes están conectadas a la misma salida A.B y, los drenadores están conectados a GND. La compuerta AND con FinFET ocupa un área total de  $378\text{nm}$  de base por  $295\text{nm}$  de altura.



**Figura 11: Layout de la compuerta AND FinFET.**

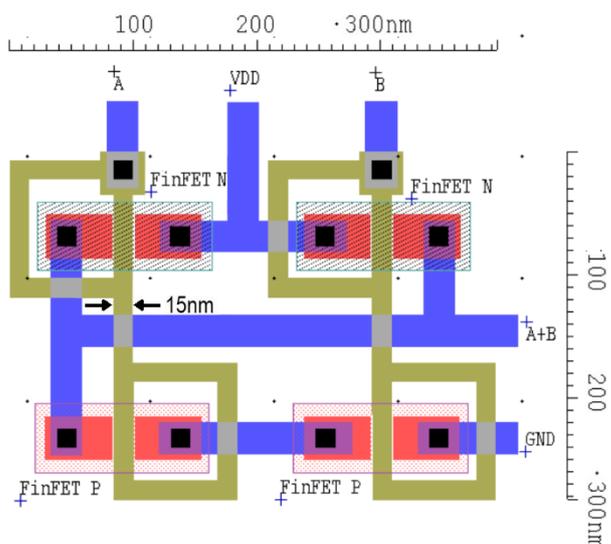
La compuerta NAND de la Figura 7 se representa en la Figura 12, cuenta con una conexión cuadrada de dos por dos FinFETs, en la parte superior de la figura se observan dos FinFET tipo  $p$  en paralelo, cuyas fuentes están conectadas a VDD, las compuertas están conectadas a las entradas A y  $\bar{B}$  respectivamente, y los drenadores están conectados a la salida  $\overline{A\bar{B}}$ . En la parte inferior los

FinFET tipo  $n$  están conectados en serie, el drenador del primero está conectado a la salida  $\overline{A\bar{B}}$  y, la fuente del segundo está conectada a GND. La compuerta NAND con FinFET ocupa un área total de  $378\text{nm}$  de base por  $295\text{nm}$  de altura.



**Figura 12: Layout de la compuerta NAND FinFET.**

Para el caso de la compuerta OR de la Figura 8, se diseñó el layout mostrado en la Figura 13, en la cual se pueden observar dos FinFET tipo  $n$  conectados en paralelo en la parte superior y, dos FinFET tipo  $p$  en serie en la parte inferior; los cuatro FinFET conforman una conexión cuadrada de dos por dos FinFETs. En la parte superior de la figura, los drenadores de los dos FinFET tipo  $n$  están conectados a VDD, las compuertas están conectadas a las entradas A y B respectivamente, y sus fuentes están conectados a la salida A+B; para el caso del par inferior de los FinFET tipo  $p$ , la fuente del primero está conectado a la salida A+B y, el drenador del segundo está conectado a GND. La compuerta OR con FinFET ocupa un área total de  $394\text{nm}$  de base por  $283\text{nm}$  de altura.



**Figura 13: Layout de la compuerta OR FinFET.**

El layout de la compuerta NOR de la Figura 9 se muestra en la Figura 14, se trata de una conexión cuadrada de dos por dos

transistores, en la parte superior de la figura se observan dos FinFET tipo  $p$  en serie, el circuito se alimenta por la fuente de voltaje VDD, ambas compuertas de los FinFET tipo  $p$  están conectadas a las entradas A y B respectivamente, el drenador del segundo FinFET tipo  $p$  y los drenadores los FinFET tipo  $n$  forman un nodo común con la salida  $\overline{A+B}$ , y, sus fuentes están aterrizadas. La compuerta NOR con FinFET ocupa un área total de 378nm de base por 294nm de altura.

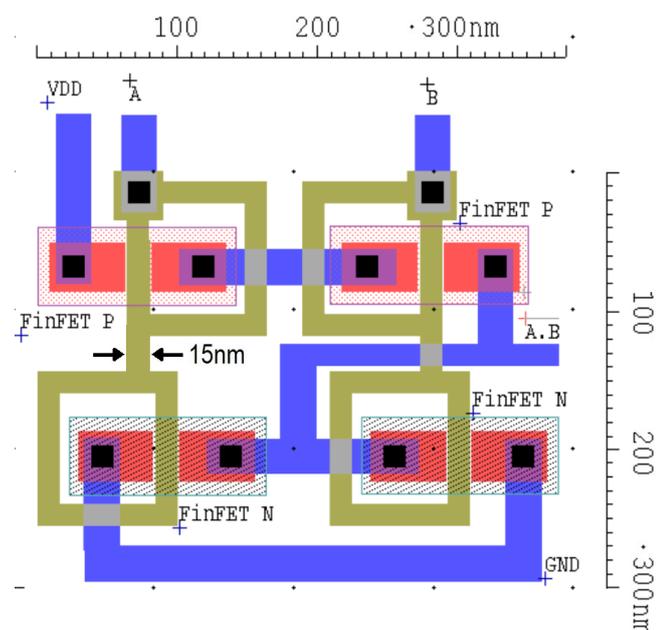


Figura 14: Layout de la compuerta NOR FinFET.

#### 4. Discusión

Los transistores de efecto de campo con aleta, tienen como característica principal de que utilizan la técnica SOI, por lo que evitan difusiones e implantaciones de materiales dentro del sustrato, el cual, sólo sirve de base o soporte. Tienen principios de funcionamiento similares a la tecnología CMOS (NMOS y PMOS) respectivamente. Además de que eliminan los efectos de canal corto de la tecnología CMOS, al reducir el ancho de su compuerta  $L_{fin}$ , a unos cuantos nanómetros, permite disminuir el área y esto, a su vez, logra un incremento en la densidad de transistores por unidad de área.

El uso de conexiones en ambos lados de la compuerta de cada FinFET permite un mayor control del canal, por lo que también se les conoce como FinFET de compuerta múltiple. Las características eléctricas y físicas de los FinFET los hacen ideales para el diseño y fabricación de circuitos integrados de ULSI, con circuitos digitales extremadamente complejos y veloces con un consumo de potencia mínimo y voltajes de sub umbral inferiores a 1V y corrientes cercanas a  $10^{-5}$  mA.

En este trabajo, se diseñaron las cinco compuertas básicas aplicadas en electrónica digital, donde se buscó que la posición de los FinFET de los diagramas esquemáticos mostrados en las Figuras 5 a la 9, coincidieran con sus respectivos layouts de las Figuras 10 a la 14. De los cuales, se observan que las compuertas lógicas son arreglos de cuatro FinFET, dos tipo  $n$  y dos tipo  $p$ , en serie y en paralelo, cuyas dimensiones oscilan entre los 394nm y los por 295nm.

#### 5. Conclusiones

En este trabajo se presentaron las principales características físicas y eléctricas de los FinFET (SOI), cuya invención data de finales de los 1980s, a partir de 1996 se presentaron diseños con  $L_{fin}$ , inferiores a los 100nm. Después se inició la carrera para la disminución de la longitud de canal  $L_{fin}$ . Los FinFET se consideran dispositivos 3D, debido a sus dimensiones tan reducidas, se incrementa su escala de integración y se reducen drásticamente los voltajes de sub umbral, de estado alto ( $\sim 1V$ .) y corrientes de drenador  $I_D \approx 10^{-5}$  mA; dichas características de tamaño reducido, ULSI y escaso consumo de potencia los hacen ideales para aplicaciones en aparatos portátiles, como teléfonos celulares, tabletas, laptops, etc.

Se diseñaron las cinco compuertas lógicas básicas donde se observa su tamaño extremadamente reducido; la compuerta AND tiene 378nm de base por 295nm de altura. NAND tiene 378nm de base por 295nm de altura, la OR tiene 394nm de base por 283nm de altura y NOR 378nm de base por 294nm de altura. Esto puede considerarse para futuros diseños de flip-flops, latches, registros de corrimiento, memorias y demás circuitos digitales.

#### Agradecimientos

Los autores agradecen al Laboratorio de Microelectrónica del CEDAI-UAEH.

#### Referencias

- Bhattacharya, D., & Jha, N. K. (2014). FinFETs: From Devices to Architectures. *Advances in Electronics*, 2014, 21. doi:http://dx.doi.org/10.1155/2014/365689
- Boned, M., Borja, F. D., & García Moreno, E. (2010). Transistores FinFET. En U. d. Balears (Ed.), *Treballs Docents curs 2009/2010* (págs. 5-8). Revista de l'Escola Politècnica Superior. Obtenido de <https://dialnet.unirioja.es/servlet/articulo?codigo=6399564>
- Chen, M.-L., Sun, X., Liu, H., Wang, H., Zhu, Q., S. W., . . . Han, Z. (2020). A FinFET with one atomic layer channel. *NATURE COMMUNICATIONS*, 11(1205), 1-7. doi:10.1038/s41467-020-15096-0
- Ensan, S. S., Moaiyeri, M. H., Moghaddam, M., & Hessabi, S. (February de 2019). A Low-Power Single-Ended SRAM in FinFET Technology. *International Journal of Electronics and Communications*, 99, 361-368. doi:https://doi.org/10.1016/j.aee.2018.12.015
- Hisamoto, D., Lee, W.-C., Kedzierski, J., Takeuchi, H., Asano, K., Kuo, C., . . . Hu, C. (DECEMBER de 2000). FinFET—A Self-Aligned Double-Gate MOSFET. (IEEE, Ed.) *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 47 (12), 2320-2325. doi:10.1109/TED.2000.887050
- Huang, B., Bai, X., Lam, S. K., & Kim, S. J. (February de 2020). Diamond lateral FinFET with triode-like. *Scientific Reports*, 10(2279), 1-5. doi:10.1038/s41598-020-59049-5
- Lan, Y.-W., Chen, P.-C., Lin, Y.-Y., Li, M.-Y., & Li, L.-J. (2019). Scalable fabrication of a complementary logic inverter based on MoS2 fin-shaped field effect transistors. *Nanoscale Horizons, Horizons Community Board Collection – Emerging 2D Materials for Energy and Electronics Applications*, 4, 683-688. doi:10.1039/c8nh00419f
- Liu, X., Shang, J., Sun, X., Wu, M., Jin, X., & Lee, J.-H. (June de 2019). A novel high-performance fold I shaped junctionless FinFET. (T. & Francis, Ed.) *International Journal of Electronics Letters*, 8, 2020 - Issue 4 (4), 1-10. doi:10.1080/21681724.2019.1625962
- López, J. (25 de Agosto de 2020). TSMC deja obsoleta a Intel y Samsung: sus 3 nm estarán listos en 2022. Obtenido de <https://hardzone.es/noticias/procesadores/tsmc-5-nm-3-nm-2021/>
- Pedram, M., Li, J., Wang, Y., Nazarian, S., & Pedram, M. (June de 2016). An Exploration of Applying Gate-Length-Biasing Techniques to Deeply-Scaled FinFETs Operating in Multiple Voltage Regimes. *IEEE TRANSACTIONS ON EMERGING TOPICS IN COMPUTING*, 6(2), 72 - 183. doi:10.1109/TETC.2016.2640185

- Saritha, P., Vinitha, J., Sravya, S., & Vijay, V. (2020). 4-Bit Vedic Multiplier with 18nm FinFET Technology. *Proceedings of the International Conference on Electronics and Sustainable Communication Systems* (págs. 1079-1084). Coimbatore, India: IEEE. doi:10.1109/ICESC48915.2020.9155707
- Timofeyev, V., Semenovskaya, E., & Faleeva, E. (2015). Thermal Analysis of High-Power Multi-Finger FET. *2015 IEEE 35th International Conference on Electronics and Nanotechnology (ELNANO)* (págs. 239-241). Kyiv, Ukraine: IEEE. doi:10.1109/ELNANO.2015.7146882
- Trombini, H., Marmitt, G. G., Alencar, I., Baptista, D. L., Reboh, S., Mazen, F., . . . Grande, P. (August de 2019). Unraveling structural and compositional information in 3D FinFET electronic devices. *Scientific Reports | (2019) 9:11629 | https://doi.org/10.1038/s41598-019-48117-0*, 9, 1-7. doi:10.1038/s41598-019-48117-0
- Zhang, G., Lai, J., Su, Y., Li, B., Li, B., Bu, J., & Yang, C.-F. (August de 2019). Study on the Thermal Conductivity Characteristics for Ultra-Thin Body FD SOI MOSFETs Based on Phonon Scattering Mechanisms. *Material*, 12(2601), 1-17. doi:10.3390/ma12162601